

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31298
(P2000-31298A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/8244		H 0 1 L 27/10	3 8 1 5 F 0 3 3
27/11		21/88	B 5 F 0 4 8
21/3205		27/08	3 2 1 H 5 F 0 8 3
21/8238			
27/092			

審査請求 未請求 請求項の数36 O L (全 44 頁)

(21) 出願番号 特願平10-171186

(22) 出願日 平成10年6月18日 (1998. 6. 18)

(31) 優先権主張番号 特願平10-122542

(32) 優先日 平成10年5月1日 (1998. 5. 1)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 石田 実

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

F ターム (参考) 5F033 BA12 CA02 CA03 DA11 DA12

5F048 AA01 AB01 AC03 BA01 BC01

BD06 BF02 CB03

5F083 BS00 BS27 KA05 KA15 LA11

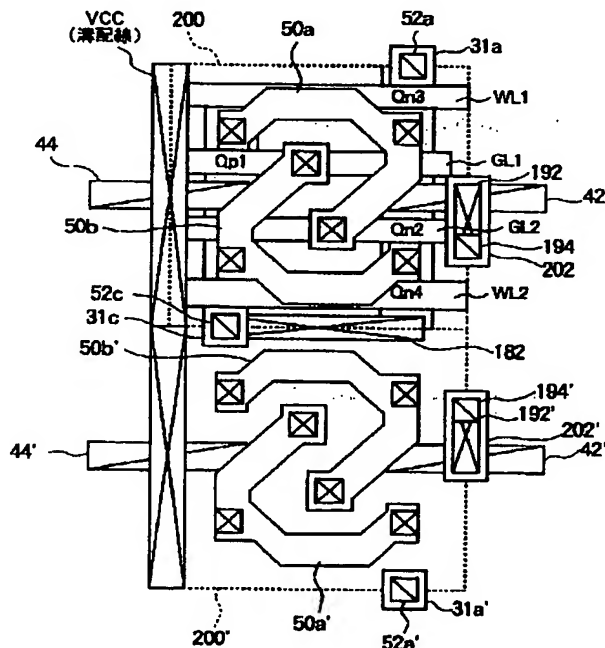
LA12 LA16

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 ゲート形成時のパターンずれによる電荷保持特性の劣化等を有効に防止する。また、電源電圧の配線抵抗を低減し、セル面積を縮小する。

【解決手段】 第1のトランジスタ（駆動トランジスタ及びワードトランジスタ）が形成される第1の能動領域と第2のトランジスタ（負荷トランジスタ）が形成される第2の能動領域とは、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、これに直交する方向の隣接セル間でそれぞれ分離されている。また、電源電圧供給線（VCC）が溝配線からなり、電源電圧が供給される不純物領域へのコンタクト構造が2層化されている。さらに、ビット線接続配線182を溝配線化している。電源電圧供給線の一方が配線方向と直交する方向の隣接セル間で共通化し、また記憶ノード配線層50a、50bを異なるエッチングマスクを用いて形成することもできる。



【特許請求の範囲】

【請求項1】第1導電型の第1のトランジスタと、第2導電型の第2のトランジスタとを各メモリセルごとに有する半導体記憶装置であって、

前記第1のトランジスタのチャネルが形成される第1の能動領域と前記第2のトランジスタのチャネルが形成される第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている半導体記憶装置。

【請求項2】前記第1および第2のトランジスタのゲート電極を兼用する配線層のパターンが、前記第1または第2の能動領域上を横切るときは全て当該能動領域と直交して配置されている請求項1に記載の半導体記憶装置。

【請求項3】前記第1の能動領域に4つの前記第1のトランジスタが直列に設けられ、

前記第2の能動領域に2つの前記第2のトランジスタが直列に設けられている請求項1に記載の半導体記憶装置。

【請求項4】それぞれ前記第1の能動領域と直交し複数のセル間を貫いて配線され、第1導電型のワードトランジスタのゲート電極を兼用する平行ストライプ状の2本のワード線と、

当該2本のワード線間で、それぞれ前記第1および第2の能動領域双方に対して直交し、かつ第1導電型の駆動トランジスタ、第2導電型の負荷トランジスタ一つずつの組ごとにゲート同士をそれぞれ接続し互いに平行に配置された2本の共通ゲート線とを各メモリセルごとに有する請求項3に記載の半導体記憶装置。

【請求項5】第1の電源電圧供給線と第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、

前記第1の電源電圧供給線および／または第2の電源電圧供給線が、層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなる半導体記憶装置。

【請求項6】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が共に前記インバータ間で2つに分離され、前記第1の電源電圧供給線が、前記駆動トランジスタより外側に位置する第1の能動領域部分に接続され、

前記第2の電源電圧供給線が、前記負荷トランジスタより外側に位置する第2の能動領域部分に接続されている請求項5に記載の半導体記憶装置。

【請求項7】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の電源電圧供給線が、前記2つの駆動トランジスタ間に位置する第1の能動領域部分に接続され、

前記第2の電源電圧供給線が、前記2つの負荷トランジスタ間に位置する第2の能動領域部分に接続されている請求項5に記載の半導体記憶装置。

【請求項8】前記第1の能動領域が、前記駆動トランジスタが形成される部分の両端からそれぞれ同一方向に屈曲した形状を有し、

当該屈曲した2つの能動領域部分の双方に対し共通な前記ワード線が直交することによって、前記2つのワードトランジスタが形成されている請求項7に記載の半導体記憶装置。

【請求項9】前記第1の能動領域が、隣接する前記2つの駆動トランジスタから外側に向けてそれぞれ延在し、当該2つの延在部分それぞれに異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項7に記載の半導体記憶装置。

【請求項10】前記第1および第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている請求項9に記載の半導体記憶装置。

【請求項11】第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータと、

ソースまたはドレインとなる一方の不純物領域が前記インバータの各入力にそれぞれ接続され、他方の不純物領域が異なるビット線にそれぞれ接続され、ゲートが異なるワード線にそれぞれ接続された2つの第1導電型のワードトランジスタとを各メモリセルごとに有し、

前記2つのワードトランジスタの一方について、その前記他方の不純物領域がワード線方向に長いビット線接続配線層を介して上層のビット線に接続されている半導体記憶装置であって、

前記第1の電源電圧供給線および／または第2の電源電圧供給線、前記ビット線接続配線層のそれぞれが、同じ層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなる半導体記憶装置。

【請求項12】各メモリセル内で、前記駆動トランジスタおよび前記ワードトランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の電源電圧供給線が、前記2つの駆動トランジスタ間に位置する第1の能動領域部分に接続され、
前記第2の電源電圧供給線が、前記2つの負荷トランジスタ間に位置する第2の能動領域部分に接続されている請求項11に記載の半導体記憶装置。

【請求項13】前記第1および第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている請求項12に記載の半導体記憶装置。

【請求項14】第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、

前記駆動トランジスタおよび前記負荷トランジスタのソースまたはドレインをなす不純物領域のうち、前記第1または第2の電源電圧が供給される不純物領域上に接し、第1の層間絶縁層に埋め込まれた第1の埋込導電層と、
当該第1の埋込導電層上に接し、第2の層間絶縁層に埋め込まれた第2の埋込導電層とを有する半導体記憶装置。

【請求項15】前記第1および第2の埋込導電層による2層コンタクト構造が、前記2つの駆動トランジスタ間に位置する不純物領域部分と、前記2つの負荷トランジスタの間に位置する不純物領域部分とにそれぞれ設けられている請求項14に記載の半導体記憶装置。

【請求項16】前記電源電圧が供給される2つの不純物領域の少なくとも一方に対し、前記2つのインバータ間でその一方入力と他方出力を相互接続するノード配線層が当該不純物領域上に絶縁層を介して少なくとも部分的に重ねられて配線されている請求項14に記載の半導体記憶装置。

【請求項17】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、
各メモリセル内で、当該ワードトランジスタおよび前記

駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、前記駆動トランジスタが形成される部分の両端からそれぞれ同一方向に屈曲した形状を有し、

当該屈曲した2つの能動領域部分の双方に対し共通な前記ワード線が直交することによって、前記2つのワードトランジスタが形成されている請求項14に記載の半導体記憶装置。

【請求項18】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、隣接する2つの前記駆動トランジスタから外側に向けてそれぞれ延在し、

当該2つの延在部分それぞれに対し異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項14に記載の半導体記憶装置。

【請求項19】前記第1および第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている請求項17に記載の半導体記憶装置。

【請求項20】前記第2の埋込導電層は、前記第1または第2の電源電圧供給線として、第2の層間絶縁層内の貫通溝内を導電材料で埋め込んだ溝配線である請求項14に記載の半導体記憶装置。

【請求項21】前記電源電圧が供給される2つの不純物領域の少なくとも一方に対し、前記2つのインバータ間でその一方入力と他方出力を相互接続するノード配線層が当該不純物領域上に絶縁層を介して少なくとも部分的に重ねられて配線されている請求項20に記載の半導体記憶装置。

【請求項22】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、
各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、前記駆動トランジスタが形成される部分の両端からそれぞれ同一方向に屈曲した形状を有し、

当該屈曲した2つの能動領域部分の双方に対し共通な前記ワード線が直交することによって、前記2つのワードトランジスタが形成されている請求項20に記載の半導体記憶装置。

【請求項23】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、隣接する2つの前記駆動トランジスタから外側に向けてそれぞれ延在し、

当該2つの延在部分それぞれに対し異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項20に記載の半導体記憶装置。

【請求項24】前記第1および第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている請求項23に記載の半導体記憶装置。

【請求項25】各メモリセル内で、前記第1および第2の埋込導電層間の接続箇所が、当該第1の埋込導電層下の前記不純物領域よりも外側に位置する請求項24に記載の半導体記憶装置。

【請求項26】各メモリセル内で、前記第1の埋込導電層が、前記第1の層間絶縁層の貫通溝内に導電材料を埋め込んだ溝配線からなり、その下の前記不純物領域をソースまたはドレインとするトランジスタのゲート電極より外側にまで延在し、

前記第2の埋込導電層が、当該ゲート電極より外側の延在部分上に接する請求項25に記載の半導体記憶装置。

【請求項27】第1の電源電圧供給線と第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、

前記第1および第2の電源電圧供給線の一方が、層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなり、

前記第1および第2の電源電圧供給線の他方が、前記溝配線より上層の配線層からなり、かつ、当該他方の電源電圧供給線の配線方向と直交する方向の隣接メモリセル

間で共通接続されている半導体記憶装置。

【請求項28】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、隣接する2つの前記駆動トランジスタから外側に向けてそれぞれ延在し、

当該2つの延在部分それぞれに対し異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項27に記載の半導体記憶装置。

【請求項29】前記他方の電源電圧供給線が前記ワード線と同じ方向に配置され、

当該配線方向と直交する方向に隣接するセル間で、ビット線コンタクト間を通る連結部分により他方の電源電圧供給線同士が共通接続されている請求項28に記載の半導体記憶装置。

【請求項30】前記他方の電源電圧供給線の間隔内に、当該他方の電源電圧供給線と同じ階層の配線層により、前記ワード線に接続された低抵抗化層が配線されている請求項28に記載の半導体記憶装置。

【請求項31】第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータをメモリセルごとに有する半導体記憶装置であって、

前記2つのインバータの入力と出力を相互接続する2つのノード配線のうち一方のノード配線が、他方のノード配線を構成する配線層と同じ階層の配線層と、当該配線層上で同一パターンにて形成され、当該直下の配線層よりエッチング速度の遅いエッチングマスク層とから構成されている半導体記憶装置。

【請求項32】前記2つのノード配線の離間スペースが、配線層自体の幅より狭い請求項31に記載の半導体記憶装置。

【請求項33】前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設け

10

20

30

40

50

られ、

前記第1の能動領域が、隣接する2つの前記駆動トランジスタから外側に向けてそれぞれ延在し、

当該2つの延在部分それぞれに対し異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項31に記載の半導体記憶装置。

【請求項34】第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータをメモリセルごとに有する半導体記憶装置の製造方法であって、

前記2つのインバータの入力と出力を相互接続する第1および第2のノード配線を形成するに際し、ノード配線となる導電膜と、当該導電膜よりエッチング速度が遅い膜を順次、全面に成膜し、

前記第1のノード配線のパターンにて前記エッチング速度が遅い膜を加工してエッチングマスク層を形成し、形成した前記エッチングマスク層によって直下の前記導電膜部分を保護しながら、前記第2のノード配線のパターンにて前記導電膜を加工し、前記第1および第2のノード配線を形成する半導体記憶装置の製造方法。

【請求項35】前記導電膜を加工する際に、既に形成されている前記エッチングマスク層に対し、当該エッチングマスク層および第2のノード配線のパターン幅より狭い離間幅で近接させて、前記第2のノード配線のパターンにてレジストパターンを前記導電膜上に形成し、

当該レジストパターンおよび前記エッチングマスク層が形成された状態で、露出した前記導電膜部分を除去する請求項34に記載の半導体記憶装置の製造方法。

【請求項36】前記半導体記憶装置は、前記インバータの各入力にソースまたはドレインがそれぞれ接続され、ゲートがワード線にそれぞれ接続されている2つの第1導電型のワードトランジスタを各メモリセルごとに有し、

各メモリセル内で、当該ワードトランジスタおよび前記駆動トランジスタのチャネルが形成される第1の能動領域、前記負荷トランジスタのチャネルが形成される第2の能動領域が、それぞれ前記インバータ間で共通に設けられ、

前記第1の能動領域が、隣接する2つの前記駆動トランジスタから外側に向けてそれぞれ延在し、

当該2つの延在部分それぞれに対し異なる前記ワード線が1本ずつ直交することによって、前記2つのワードトランジスタが形成されている請求項34に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば6トランジスタ構成のSRAMセル等、メモリセルがCMOS構成である半導体記憶装置と、その製造方法に関する。とくに、本発明は、パターンの合わせずれによるトランジスタ特性のバラツキ低減、配線の低抵抗化によるメモリセル特性を改善し、または、セル内部接続のための記憶ノード配線層の配置の自由度を大きくし、面積を縮小させる半導体記憶装置と、記憶ノード配線層の近接配置が可能な半導体記憶装置の製造方法とに関する。

【0002】

【従来の技術】SRAMセルは、一般に、フリップフロップと、ワード線の印加電圧に応じて導通/非導通が制御されフリップフロップの2つの記憶ノードそれぞれをビット線に接続するか否かを定める2つのトランジスタ（ワードトランジスタ）とから構成され、フリップフロップの負荷素子の違いにより、MOSTランジスタ負荷型と高抵抗負荷型との2種類に大別できる。このうちMOSTランジスタ負荷型は、6つのトランジスタ構成となっており、負荷トランジスタの種類に応じてp型チャネルのMOSTランジスタ（以下、pMOS）負荷型、TFT(Thin Film Transistor)負荷型が知られている。

【0003】従来技術1

図80は、従来のpMOS負荷型SRAMセルの配置パターン例を示す平面図である。この図80は、トランジスタのゲート形成後の様子を示すもので、セル内部接続線やビット線等の上層配線層は省略されている。その代わりに図80では、上層配線層により接続される部分同士の間をパターン図に重ねて示している。

【0004】図80において、符号300はpMOS負荷型のSRAMセル、302a、302bはn型チャネルを有するMOSTランジスタ（以下、nMOS）が形成されるp型の能動領域、304a、304bはpMOSが形成されるn型の能動領域を示し、当該能動領域302a、302b、304a、304bの周囲は、例えばLOCOS或いはトレンチによる素子分離絶縁領域となっている。

【0005】この従来のSRAMセル300において、2つのp型能動領域302a、302bはそれぞれ平面形状がほぼ直角に外側に曲がっており、その屈曲部を挟んで両側に駆動トランジスタQn1（又はQn2）とワードトランジスタQn3（又はQn4）とが形成されている。ワードトランジスタQn3とQn4のポリシリコンゲート(Poly-Si Gate)電極を兼ねるワード線WLが、2つのp型能動領域302a、302b双方に対しほぼ直交し図80の横方向にセル間を貫いて配線されている。これに対し、駆動トランジスタQn1又はQn2のポリシリコンゲート電極を兼ねる共通ゲート線306a、306bはセルごとに個別に設けられている。すなわち、共通ゲート線306aがp型能動領域302aに対し図80の縦方向に直交し、また同様な方向に、共通ゲート

線306bがp型能動領域302bに対し直交している。これら共通ゲート線306a、306bは、それぞれn型能動領域304a、304bに対しても直交している。これにより、n型能動領域304a、304bにそれぞれpMOS（負荷トランジスタQp1又はQp2）が形成されている。この負荷トランジスタQp1と前記駆動トランジスタQn1とにより第1のインバータが構成され、同様に、負荷トランジスタQp2と前記駆動トランジスタQn2とにより第2のインバータが構成されている。なお、これら共通ゲート線306a、306bは、それぞれ途中から分岐しており、図80に結線で示すように、2層目のポリシリコン配線層で一方のインバータの入力が他方のインバータ出力に相互に接続されている。また、電源電圧Vccの供給線、共通電位Vssの供給線およびビット線BL1、BL2が図示のように結線されている。

【0006】従来技術2

近年、例えば“A LOW COST MICROPROCESSOR COMPATIBLE, 18.4 μ m², 6-T BULKCELL TECHNOLOGY FOR HIGH SPEED SRAMS. VLSI Symposium Report, PP65-66, 1993”において、ワード線を各ワードトランジスタ毎に分離して配置したスプリットワード線(Split Word Line)型SRAMセルが提案されている。図81は、この文献に記載されたスプリットワード線型セルの配置パターンを示しており、図80と同様に示す平面図である。

【0007】このスプリットワード線型SRAMセル310において、nMOSが形成されるp型能動領域312が各インバータ及びワードトランジスタ間で共通に設けられ、かつワード線方向に隣接するセル間でも共通化されている。同様に、pMOSが形成されるn型能動領域314が各インバータ間、及びワード線方向に隣接するセル間で共通に設けられている。なお、図81において示す結線は基本的には図80と同様であるが、ここでは各インバータのpMOSとnMOSの直列接続が2層目のポリシリコン層、当該直列接続点と他のインバータ入力との接続および電源電圧Vccの供給線等が3層目のポリサイド層、共通電位Vssの供給線およびビット線が4層目のメタル配線層で構成されている。

【0008】

【発明が解決しようとする課題】ところで、一般に、半導体メモリ装置の高集積化、大容量化を進めるうえでパターン形成の微細化が必須である。このパターン形成の微細化は、主に、パターン自体の微細形成と、異なるパターン間におけるフォトリソグラフィのアライメントにおける合わせずれ量の削減およびパターン間の合わせずれが問題とならない自己整合形成技術の導入とによって達成される。

【0009】現在、前者のパターン自体の微細化は、レジスト材料の改良、当該レジストをパターン転写マスクに用いる配線等の加工精度のほか、露光装置の光源を、

g線、i線からKrFエキシマレーザ、ArFエキシマレーザ、更にはX線へと、より短波長化することにより達成される。一方、後者のパターン間の合わせずれに関しては、自己整合形成技術の適用によって高い特性及び信頼性を確保しながら合わせずれ量の大幅な削減ができる。しかし、実際のデバイス製造では自己整合形成技術ができる工程に限られる。その他の工程では、パターン間の合わせずれ量が露光装置の機械精度に依存し、機械精度の大幅な向上がないために、この合わせずれ量の削減はパターン自体の微細化ほど進展していないのが現状である。したがって、特に自己整合技術が適用できない工程でパターン間の合わせずれが発生した場合でも、それが特性及び信頼性等からみて問題とならないパターン設計が求められる。

【0010】しかし、図80及び図81に示し前述した従来技術1及び2のSRAMセルでは、このパターン間の合わせずれを十分に考慮したパターン設計になっていない。

【0011】例えば図80に示す従来技術1のSRAMセル300では、nMOSを形成するp型能動領域302a、302bが外側に屈曲し、マスク上のパターンが矩形を組み合わせたパターンとなっているにもかかわらず、実際の出来上がりのパターンは、図示のように角が大きく丸まって変形してしまう。これは、マスクパターンを用いてレジスト上に露光（パターン転写）する際に、レジスト残しによるパターン形成の場合は光強度過剰、レジスト除去によるパターン形成の場合は光強度不足によって引き起こされる。具体的に図80の場合、駆動トランジスタQn1、Qn2はゲート幅（チャネル電流方向と直交する重ね合わせサイズ）が増大し、ワードトランジスタQn3、Qn4はゲート幅が減少する傾向にある。

【0012】また、このパターン変形に加え、p型能動領域302a、302bのパターン自体が屈曲しており、その上にゲート電極（この場合、ワード線WL及び共通ゲート線306a、306b）を形成する際に、そのフォトリソグラフィの合わせずれによってトランジスタサイズ（チャネル形成領域の大きさ）がばらついてしまう。たとえば、図80において、p型能動領域302a、302bのパターン（実際には、LOCOSパターン）に対し、共通ゲート線306a、306b等のゲートパターンが右にずれると、駆動トランジスタQn2のゲート幅が小さくなり、駆動トランジスタQn1のゲート幅が大きくなる。逆に、ゲートパターンが左にずれると、駆動トランジスタQn1のゲート幅が小さくなり、駆動トランジスタQn2のゲート幅が大きくなる。これにより、何れの場合もフリップフロップを構成する2個のインバータ特性が均等でなくなり、フリップフロップの安定性、さらにはSRAMメモリセルのデータ保持特性が低下する。また、ゲートパターンが下にずれると、ワー

ドトランジスタQn3, Qn4のゲート幅が共に小さくなる。これにより、SRAMメモリセルの読み出し又は書き込み時に、特に低い電位レベルで保持されていたローノード(Low Node)側において、ビット線からワードトランジスタ、記憶ノード、駆動トランジスタ、共通電位供給線へと流れるセル電流の電流経路の抵抗が大きくなり、読み出し又は書き込み動作が遅くなる。逆に、ゲートパターンが上にずれると、この図80に示すセルでは問題ないが、ビットコンタクトを挟んで上下対称に配置された図80の上側に隣接するセルについて、上記した

図80でゲートパターンが下にずれることと同じことが起こり、その結果、セル電流経路の抵抗が大きくなって読み出し又は書き込み動作が遅くなる。

【0013】このように、nMOS側のサイズ変化、即ち駆動トランジスタとワードトランジスタのサイズが相対変化すると、セル特性(データ保持特性、高速性等)が低化することとなる。上述したパターンの合わせずれ量がウェハ内の位置(例えば、チップごとに)によって少しずつ変わることによって、この特性変化もウェハ内の位置によって変化し、これがメモリセルアレイ内、或いはチップ間で半導体製品の特性バラツキとして現れる。

【0014】このようなトランジスタサイズに起因した特性の低化及びバラツキの問題は、図81に示すスプリットワード線型SRAMセルでも起こる。このスプリットワード線型SRAMセル310では、能動領域312, 314が隣接セル間で共通に接続され、その共通接続部分が他の部分に対して屈曲しているために、屈曲部に隣接する駆動トランジスタQn1, Qn2と負荷トランジスタQp1, Qp2の双方でサイズ変化が問題となる。とくに、この種のSRAMセルはビット線配線方向の合わせずれに弱く、インバータ間でバラツキが生じ易くなり、この場合も当該メモリセルのデータ保持特性が低化し、読み出しまたは書き込み速度が低下する。

【0015】かかる特性の低化及びバラツキの問題は、能動領域の屈曲点に対しゲート電極を十分に離すことによって回避できるが、それではセル面積が増大し好ましくない。

【0016】ところで、従来では、電源電圧供給線をメタル配線層で形成しているが、例えば図81に示す如く、電源電圧供給線をLOCOSや1層目のポリシリコン配線(ワード線WL1, WL2または共通ゲート線316a, 316b)と同程度のピッチで配線する必要がある。その場合、高解像度パターンニングではレジスト膜厚を薄くするが、エッチング後のレジスト残膜厚を確保する必要から、電源電圧供給線となるメタル配線層の膜厚を余り厚くできない。たとえば、このときのレジスト膜厚をLOCOSや1層目のポリシリコン配線の形成時と同様に0.7 μ mとすると、電源電圧供給線となるメタル配線層の膜厚は200nm以下にする必要があ

る。しかし、200nm以下の薄いメタル配線層では、エレクトロマイグレーション(EM)耐性の観点から配線材料はTi系に限定され、その結果、電源電圧供給線の配線抵抗を低くできないという問題がある。

【0017】この問題を回避するために、メタル配線を低抵抗なA1で形成しようとする、A1の上下に積層される反射防止膜やバリアメタルを含めたメタル配線のトータルな膜厚を、EM耐性の観点から400nmにしなければならない。この場合、配線層パターンニング時のレジスト膜厚を、第1層目のポリシリコンをパターンニングする際の2倍以上(例えば、1.4 μ m以上)にする必要がある。そのため、A1配線層のピッチは、第1層目のポリシリコン層の1.5倍程度に大きくとらなければならない。

【0018】たとえば、図81の例において、xy方向のセルサイズを同等と仮定すると、第1層目のポリシリコン層を4本配置する同じセル一辺のサイズに、A1配線層により4層目のメタル配線層を2.5本配置することはかなり無理がある。この図81のセルパターンでは、ビット線方向のセルサイズが第1層目のポリシリコン層で決められ、その微細化が進まない限り、これ以上のサイズ縮小は難しい。その一方、ワード線方向のセルサイズは2層目以降の上層配線層のピッチで決まっている。このため、電源電圧供給線の低抵抗化を進めるには、上記した如く配線の材料やピッチに制約があり、配線の多層化をより一層進めざるを得ない。しかし、配線の多層化は、製造プロセスが複雑化するだけでなく、セルサイズ縮小によるコスト低減効果を著しく損ね、或いは却ってコストが増大し、好ましくない。

【0019】本発明は、このような実情に鑑みてなされ、メモリセル面積の増大を有効に抑制しながら、或いは逆に縮小しながら、ゲート形成時のパターンずれによる特性低化を有効に防止し、さらに電源電圧供給線を低抵抗化できるセルパターン及びセル構造の半導体記憶装置を提供することを目的とする。また、本発明は、特にノード配線のピッチを、その形成方法を工夫することによって縮小できる半導体記憶装置の製造方法を提供することを他の目的とする。

【0020】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の第1の観点に関する半導体記憶装置は、第1導電型の第1のトランジスタと、第2導電型の第2のトランジスタとを各メモリセルごとに有する半導体記憶装置であって、前記第1のトランジスタのチャネルが形成される第1の能動領域と前記第2のトランジスタのチャネルが形成される第2の能動領域は、トランジスタのチャネル電流方向が各メモリセル内で互いに平行となるように配置され、かつ、前記チャネル電流方向と直交する方向の隣接メモリセル間でそれぞれ分離されている。このようなトラン

ジスタ能動領域の配置パターンは、 n 型の駆動トランジスタを直列接続させ、その両端のそれぞれに異なる2本のワード線を直交させてワードトランジスタを配置した、いわゆるスプリットワード線型SRAMセルに好適である。

【0021】また、本発明の第2の観点に関する半導体記憶装置は、第1の電源電圧供給線と第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、前記第1の電源電圧供給線および/または第2の電源電圧供給線が、層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなる。この半導体記憶装置は、スプリットワード線型SRAMセルのほか、ワード線が単一なSRAMセル等に広く適用可能である。

【0022】本発明の第3の観点に関する半導体記憶装置は、第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータと、ソースまたはドレインとなる一方の不純物領域が前記インバータの各入力にそれぞれ接続され、他方の不純物領域が異なるビット線にそれぞれ接続され、ゲートが異なるワード線にそれぞれ接続された2つの第1導電型のワードトランジスタとを各メモリセルごとに有し、前記2つのワードトランジスタの一方について、その前記他方の不純物領域がワード線方向に長いビット線接続配線層を介して上層のビット線に接続されている半導体記憶装置であって、前記第1の電源電圧供給線および/または第2の電源電圧供給線、前記ビット線接続配線層のそれぞれが、同じ層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなる。この半導体記憶装置としては、スプリットワード線型SRAMセルが好適である。

【0023】本発明の第4の観点に関する半導体記憶装置は、第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、前記駆動トランジスタおよび前記負荷トランジスタのソースまたはドレインをなす不純物領域のうち、前記第1または第2の電源電圧が供給される不純物領域上に接し、第1の層間絶縁層に埋め込まれた第1の埋込導電層と、当該第1の埋込導電層上に接し、第2の層間絶縁層に埋め込まれた第2の埋込導電層

とを有する。この半導体記憶装置は、スプリットワード線型SRAMセルのほか、ワード線が単一なSRAMセル等に広く適用可能である。

【0024】本発明の第5の観点に関する半導体記憶装置では、上記第4の観点の半導体記憶装置において、前記第2の埋込導電層は、前記第1または第2の電源電圧供給線として、第2の層間絶縁層内の貫通溝内を導電材料で埋め込んだ溝配線である。この半導体記憶装置は、スプリットワード線型SRAMセルのほか、ワード線が単一なSRAMセル等に広く適用可能である。

【0025】本発明の第6の観点に関する半導体記憶装置は、第1の電源電圧供給線と第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、前記第1および第2の電源電圧供給線の一方が、層間絶縁層の貫通溝内を導電材料で埋め込んだ溝配線からなり、前記第1および第2の電源電圧供給線の他方が、前記溝配線より上層の配線層からなり、かつ、当該他方の電源電圧供給線の配線方向と直交する方向の隣接メモリセル間で共通接続されている。この半導体記憶装置としては、スプリットワード線型SRAMセルが好適である。

【0026】以上のような本発明に係る半導体記憶装置では、 p 型と n 型の2つのトランジスタ能動領域が、セル内でトランジスタのチャネル電流方向に平行に配置される。具体的には、 p 型と n 型の2つのトランジスタ能動領域を、例えば、平行に配置された単純な矩形パターン、或いは段差等を設けてワードトランジスタと駆動トランジスタのゲート幅を変えた略矩形状のパターンで形成することができる。したがって、その上に重ねて形成されるゲート電極パターン(ワード線及び共通ゲート線)を互いに平行に配置することができる。しかも、本発明に係る半導体記憶装置では、トランジスタ能動領域が、その配置方向と直交する隣接セル間で分離され、従来のような屈曲部を有しない。そのため、既に形成された能動領域のパターンに対しゲート電極パターンを重ね合わせる際の合わせずれによって、トランジスタのサイズ(ゲート電極パターンと能動領域の重ね合わせ領域のサイズ)がトランジスタ間で一様に変化する。 xy 方向のパターンずれのみならず、回転ずれ(θ ずれ)が生じてもトランジスタサイズが一様に変化する。したがって、パターン間の合わせずれによってセル内のトランジスタ特性にアンバランスが生じない。

【0027】また、本発明の半導体記憶装置では、電源電圧供給線を層間絶縁層内に埋め込まれた溝配線により構成しているが、この溝配線は、その厚さが層間絶縁層の厚さ(例えば400nm以上)と同じにできメタル配線に比べて厚くできる。また、電源電圧供給線の材料と

して、Ti系材料より比抵抗が小さいW系材料等が選択できる。さらに、電源電圧供給線を溝配線にすることによって、セルパターンによっては、その周辺に電源電圧供給線の幅余地があることも多い。

【0028】さらに、本発明の半導体記憶装置では、例えばSRAMセルのノード配線等の下で、電源電圧供給線と電源電圧を供給すべき不純物領域とのコンタクト構造が2層の埋込導電層により達成されている。具体的には、下層の第1の埋込導電層が溝配線、上層の第2の埋込導電層が電源電圧供給線としての溝配線により構成できる。また、第2の埋込導電層を、第1の埋込導電層（溝配線層）を更に上層の電源電圧供給線と接続するための溝配線層またはプラグ等で構成してもよい。一般に、SRAMセルにおける2つのノード配線層は、限られたスペース内で、一方の共通ゲート線側から他方の共通ゲート線に達する配線を相互に行う必要がある。また、他方の共通ゲート線に電気的な接続を行うノードコンタクトの必要も考慮すると、記憶ノード配線層が配線できるスペース的な余裕がとれない場合が多い。本発明の半導体記憶装置における上述したコンタクト構造を用いて、溝配線からなる第1の埋込導電層と第2の埋込導電層との接続箇所をセル内でより外側に配置すると、上記不純物領域上方にノード配線の配線余地が生まれる。つまり、ノード配線層の配線スペースが外側にかけて拡大される。そのため、電源電圧をトランジスタに付与する電源線コンタクトや接地線コンタクトによってノード配線層が邪魔されることがなくなり、その配置がしやすくなる。また、ノード配線層のピッチを従来と同じとすると、その分、能動領域間のスペースを狭くする余地が生まれる。

【0029】本発明の第7の観点に関する半導体記憶装置は、第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータを各メモリセルごとに有する半導体記憶装置であって、前記2つのインバータの入力と出力を相互接続する2つのノード配線のうち一方のノード配線が、他方のノード配線を構成する配線層と同じ階層の配線層と、当該配線層上で同一パターンにて形成され、当該直下の配線層よりエッチング速度の遅いエッチングマスク層とから構成されている。

【0030】また、本発明の半導体記憶装置の製造方法は、第1の電源電圧を供給する第1の電源電圧供給線と第2の電源電圧を供給する第2の電源電圧供給線との間に直列接続されてゲートが共通に接続された第1導電型の駆動トランジスタと第2導電型の負荷トランジスタとからそれぞれが構成され、入力と出力が交叉して接続された2つのインバータをメモリセルごとに有する半導体

記憶装置の製造方法であって、前記2つのインバータの入力と出力を相互接続する第1および第2のノード配線を形成するに際し、ノード配線となる導電膜と、当該導電膜よりエッチング速度が遅い膜を順次、全面に成膜し、前記第1のノード配線のパターンにて前記エッチング速度が遅い膜を加工してエッチングマスク層を形成し、形成した前記エッチングマスク層によって直下の前記導電膜部分を保護しながら、前記第2のノード配線のパターンにて前記導電膜を加工し、前記第1および第2のノード配線を形成する。

【0031】この本発明に係る半導体記憶装置及びその製造方法では、2つのノード配線を単一なフォトマスクを用いて一度に形成する従来のやり方に比べ、用いるノード配線パターンのピッチが緩和され、また2つのノード配線間の離間スペースを狭くできる。

【0032】

【発明の実施の形態】以下、本発明に係る半導体装置の実施形態を、6トランジスタ構成のpMOS負荷型SRAMセルを例として図面を参照しながら詳細に説明する。図1は、本発明の実施形態に係るpMOS負荷型のSRAMセルの回路図である。

【0033】図1において、n型チャネルを有するMOSトランジスタ（以下、“nMOS”という）であるQn1とQn2は駆動トランジスタ、p型チャネルを有するMOSトランジスタ（以下、“pMOS”という）であるQp1とQp2は負荷トランジスタを示し、これらによって入力互いに交叉して一方の入力が他方の出力に接続され他方の入力一方の出力に接続された2つのインバータ（フリップフロップ）が構成されている。また、nMOSであるQn3とQn4は、ワード線WL1、WL2の印加電圧に応じて各インバータの接続点（記憶ノードND1、ND2）をビット線BL1、BL2に接続するか否かを制御するワードトランジスタを示す。このセル構成は一般的であり、ここでは、これ以上の詳細な接続関係の説明は省略する。

【0034】このpMOS負荷型のSRAMセルでは、片側のビット線BL1を高電位にするようにして、ワードトランジスタQn3、Qn4のゲートにワード線WL1、WL2を介して所定電圧を印加することで両トランジスタQn3、Qn4をオンさせ、記憶ノードND1、ND2に電荷を蓄積する。片側の記憶ノードが“ハイ（H）”になると、フリップフロップ構成の特徴として、もう一方の記憶ノードが“ロー（L）”となるように、駆動トランジスタQn1、Qn2および負荷トランジスタQp1、Qp2が動作する。たとえば、記憶ノードND1が“H”、記憶ノードND2が“L”の場合は、トランジスタQn2とQp1がオン状態、トランジスタQn1とQp2がオフ状態をとり、記憶ノードND1が電源電圧Vccの供給線から電荷の供給を受け、記憶ノードND2が接地電位に保持され続ける。逆に、ビッ

17

ト線BL1電位が“L”のときワードトランジスタQn3がオンすることによって記憶ノードND1が強制的に“L”に移行するか、ビット線BL2電位が“H”のときにワードトランジスタQn4がオンすることによって記憶ノードND2が強制的に“H”に移行すると、トランジスタQn1, Qn2, Qp1, Qp2が全て反転し、記憶ノードND2が電源電圧Vccの供給線から電荷の供給を受け、記憶ノードND1が接地電位に保持されるようになる。このように、電荷保持をフリップフロップで行うことで、電荷を静的に記憶ノードND1, ND2に保持し、その電位が“L”であるか“H”であるかを、それぞれ“0”と“1”のデータに対応させて、このデータをセル内の6つのトランジスタで記憶させることができる。

【0035】図2は、本発明が適用可能な6トランジスタ型SRAMセルを説明するための図であり、第1のコンタクト形成後におけるパターン図である。図2(a)に示すタイプAでは、nMOSが形成されるp型能動領域、pMOSが形成されるn型能動領域が、それぞれセル内で2つに分離されている。また、2つのp型能動領域が屈曲しており、共に同一なワード線WLに直交することによりワードトランジスタが形成されている。共通電位Vssは2つのp型能動領域の外側端から供給される。同様に、電源電圧Vccは、2つのn型不純物領域の外側端から供給される。図2(b)に示すタイプBは、タイプAと比べると、p型能動領域およびn型能動領域が単一であり、それぞれの中央部から共通電位Vssまたは電源電圧Vccが供給される。図2(d)に示すタイプDは、ノード配線を第1層目のポリシリコン層のみで行い、かつ平行ライン状に配置するために、タイプAと比べるとp型能動領域が3つに分離され、全体的に縦長のセルとなっている。図2(c)に示すタイプCは、いわゆるスプリットゲート型と称するもので、p型能動領域、n型能動領域と、2本のワード線WL1, WL2を含む第1層目のポリシリコン層とが直交し、これによりp型能動領域両端にそれぞれワードトランジスタが形成されている。これらのうち、本発明はタイプA～Cに適用される。

【0036】本発明の特徴および適用可能なSRAMセルタイプは、大まかには、以下の点に集約できる。

①：p型能動領域とn型能動領域を、それぞれに形成されるトランジスタのチャネル電流方向が平行となるように配置し、かつ、それぞれがセル間で分離する(タイプC)。

②：電源電圧供給線を、層間絶縁層の貫通溝を導電材料で埋め込んだ溝配線とする(タイプA～C)。

③：電源電圧供給線へのコンタクト構造を2層コンタクトを用いて形成する(タイプA～C)。

④：ビット線接続配線層を溝配線により形成する(タイプC)。

18

⑤：電源電圧供給線の一方を溝配線とした場合、他方を上層メタル配線とし、かつ、配線方向と直交する2セル間で連結したパターンとする(好適にはタイプC、タイプAとBも適用可)。

⑥：2つの記憶ノード配線層の形成膜を2層とし、その上層側のエッチング保護膜を一方の配線層パターンにて形成しておき、他方の配線層パターンにて下層の導電膜をパターンニングする際に、エッチング保護層をエッチングマスクとして機能させて2つの記憶ノード配線層を同時形成する(好適にはタイプC、タイプAとBも適用可)。

【0037】以下、より具体的な本発明の実施形態を図面を参照しながら説明する。なお、以下の説明では、本実施形態に係るSRAMセルの製造過程を説明することによって、セル構造を明らかにしていく。

【0038】第1実施形態

本実施形態は、上記発明の特徴①をタイプCに適用した場合を例示する。図3～図8は、本実施形態に係るSRAMセルの各製造過程におけるパターンと断面の構造を示す図であり、各図(a)はパターンの重ね合わせ図、各図(b)(及び(c))は、(a)に示すA-A'線またはB-B'線に沿った断面図である。

【0039】図3に示す状態では、特に図示しないが、pウェルとnウェルがシリコンウェーハ等の半導体基板2に形成されている。この半導体基板2の表面側に、図3に示すように、例えばLOCOS、トレンチ等の素子分離領域4を形成する。これにより、素子分離領域4が形成されていないpウェルの表面領域が、nMOSのチャネルが形成されるp型能動領域6となり、素子分離領域4が形成されていないnウェルの表面領域が、pMOSのチャネルが形成されるn型能動領域7となる。本図示例では、この2つの能動領域6, 7がそれぞれ矩形パターンを有し、互いに平行に形成される。

【0040】図4に示す工程では、必要に応じてしきい値電圧制御用、チャネルストッパ用のイオン注入を行った後、全面にゲート酸化膜8、第1層目のポリシリコン又はポリサイド(以下“1PS”という)、オフセット絶縁膜12を順次成膜する。本例では、1PSはポリシリコン膜9とWSix膜10からなり、ゲート酸化膜8およびオフセット絶縁膜12は酸化シリコンからなる。また、ポリシリコン膜9とWSix膜10の膜厚は共に70nm程度、オフセット絶縁膜12の膜厚は200nm程度とする。ポリシリコン膜9は、その成膜時または成膜後に不純物を導入して導電化されている。続いて、ゲート電極パターンを用いて、オフセット絶縁膜12, 1PS及びゲート酸化膜8を連続して加工する。これにより、ワードトランジスタQn3またはQn4のゲート電極をそれぞれ兼用する2本のワード線WL1, WL2、駆動トランジスタQn1と負荷トランジスタQp1のゲート電極を兼用する共通ゲート線GL1、及び駆動

トランジスタQn2と負荷トランジスタQp2のゲート電極を兼用する共通ゲート線GL2が同時に形成される。本実施形態では、2本のワード線WL1、WL2がそれぞれp型能動領域6の両端付近で直交しセル間を貫いて互いに平行に配線される。また、共通ゲート線GL1、GL2がワード線WL1、WL2の間隔内でp型能動領域6、n型能動領域7の双方に対し直交し、本例ではワード線WL1、WL2とともに等間隔となるように互いに平行に配線される。なお、この共通ゲート線GL1、GL2はセルごとに設けられた矩形パターンであり、ワード線方向に隣接するセルの共通ゲート線（不図示）と分離されている。

【0041】図5においては、各トランジスタのソース及びドレイン不純物領域を形成する。具体的には、n型能動領域7を例えばレジストパターンで覆った状態で、この1PSとオフセット絶縁膜12の積層パターンと前記素子分離領域4とを自己整合マスクとして、p型能動領域6の表面にn型の不純物を高濃度に導入し、n⁺不純物領域14を形成する。同様な方法によって、n型能動領域7の表面にp型の不純物を高濃度に導入し、p⁺不純物領域16を形成する。これにより、p型能動領域6に、ワードトランジスタQn3、駆動トランジスタQn1、駆動トランジスタQn2及びワードトランジスタQn4が直列接続した状態で同時形成され、また、n型能動領域7には負荷トランジスタQp1、Qp2が直列接続した状態で同時形成される。

【0042】次いで、第1層間絶縁層を全面に成膜し、必要に応じて表面を平坦化する。本例では、次に述べる自己整合コンタクト達成のために、この第1層間絶縁層は選択比が高い2種類の膜、例えば下層の窒化シリコン膜18と上層の酸化シリコン膜20とからなる。これらの膜厚は、窒化シリコン膜18が100nm～200nm程度、平坦化後の酸化シリコン膜20がオフセット絶縁膜上で200nm～300nm程度とする。この第1層間絶縁層18、20に、不純物領域14、16上に開孔する8つの自己整合コンタクト孔22a～27bと、共通ゲート線GL1、GL2上に開孔するゲート線コンタクト孔28a、28bとの2種類のコンタクト孔を別々のフォトリソグラフィ及び加工の工程を経て形成する。

【0043】図9に自己整合コンタクト孔、図10にゲート線コンタクト孔について、それぞれを開孔したときの拡大断面図を示す。何れのコンタクト孔形成においても、レジストパターンをフォトリソグラフィにより形成した後、このレジストパターンをマスクに絶縁膜を異方性エッチングするが、この異方性エッチングでは、第1段階として酸化シリコン膜20を窒化シリコン膜18との選択比がとれる条件でエッチングし、続いて、窒化シリコン膜18に対する第2段階のエッチングを行う。

【0044】自己整合コンタクト孔の開孔において、レ

ジストパターン形成時にアライメントずれが無い場合は、図9(a)に示すように、コンタクト開孔底面全域に不純物領域が表出する。これに対し、アライメントずれがある場合、第1層間絶縁層を高選択比の2層としたことによって、図9(b)に示すように、ゲート電極上で、相対的に絶縁膜のエッチング量を少なくすることができる。たとえば、先に記述した膜厚条件下、上記第1段階のエッチング時の選択比を1.0とすると、このエッチングでは、不純物領域上の膜厚が540nm～640nm程度の酸化シリコン膜20が全て除去される間に、ゲート電極上方では、膜厚が200nm～300nm程度の酸化シリコン膜20が除去された後に窒化シリコン膜18については膜厚の半分程度までしかエッチングが進まない。続いて、例えば選択比を1で第2段階のエッチングを行うと、不純物領域が表出する一方で、ゲート電極上方ではオフセット絶縁膜12の上部が若干(50nm～100nm程度)エッチングされた状態となる。これらの2段階のエッチングで異方性を強くすることによって、ゲート電極の側壁に窒化シリコン膜18の一部が分離スペーサ層として残される。

【0045】そして、これらのコンタクト孔に通常のプラグ形成技術を用いて、プラグを同時形成する。これにより、図5(a)に示すように、隣接セル間でワード線に挟まれた2つのn⁺不純物領域上に、ビット線コンタクト22a、22bが自己整合的に形成される。また、ワード線WL1又はWL2と共通ゲート線GL1又はGL2とに挟まれた2つのn⁺不純物領域上にそれぞれ記憶ノードコンタクト26a、26bが、2つのp⁺不純物領域上にそれぞれ記憶ノードコンタクト27a、27bが自己整合的に形成される。さらに、共通ゲート線間に挟まれたn⁺不純物領域上にそれぞれ共通電位線コンタクト24a、24bが、p⁺不純物領域上に電源線コンタクト25a、25bが自己整合的に形成される。一方、共通ゲート線GL1、GL2上にそれぞれゲート線コンタクト28a、28bが形成される。

【0046】このように、本例では、オフセット絶縁膜12を設け、第1層間絶縁層を高選択比の2層とし、かつ、記憶ノードコンタクト、電源線コンタクト及び共通電位線コンタクトの一括開孔時に2段階のエッチングを行うことによって、これらコンタクトの自己整合（厳密には、電氣的ショート回避に関する自己整合）が達成されている。また、本例におけるゲート線コンタクト28a、28bは、後述する上層配線の配置スペース確保の観点から共通ゲート線に対しその幅方向の内側部分で重ねられており、これに伴うコンタクト抵抗の増大を防ぐために、図10に示すように、各コンタクト28a、28bは共通ゲート線の上面及び側面で一定の接触面積を確保できる構造となっている。

【0047】図6においては、第2層目の配線層を常法にしたがって形成する。これにより、記憶ノードコンタ

21

クト26a, 27aとゲート線コンタクト28aを相互に接続し図1の記憶ノードND1を構成する第1の記憶ノード配線層30a、記憶ノードコンタクト26b, 27bとゲート線コンタクト28bを相互に接続し図1の記憶ノードND2を構成する第2の記憶ノード配線層30bが、第1層間絶縁層20上に形成される。また、ビット線方向(図6の縦方向)に配置される2つの電源電圧供給線、即ち共通電位線コンタクト24をセル間で共通に接続する共通電位線VSSと電源線コンタクト25をセル間で共通に接続する電源線VCCとがセルのワード線方向両側に形成される。これらの電源電圧供給線VSS, VCCは、ワード線方向に隣接するセル間で共有されている。さらに、本例では、ランディングパッド層31a, 31bをビット線コンタクト22a, 22b上に孤立パターンとして設けている。これは、次の上層プラグを埋め込むコンタクト形成時に多少の合わせずれがあっても、プラグ間抵抗値を増大させないために設けたものである。

【0048】図7においては、まず、第2の層間絶縁層32を全面に成膜した後、前記ビット線コンタクト部分に設けたランディングパッド層31a, 31b上にコンタクト孔を開孔し、これを導電材料で埋め込んで第2層目のプラグ34a, 34bを形成する。そして、この第2層目のプラグ34a, 34b上に接するビット線接続配線層36a, 36bを、例えば図示のように一方のみワード線方向に長いパターンで形成する。

【0049】図8では、同様にして、第3の層間絶縁層38の成膜と第3層目のプラグ39a, 39bを形成する。このとき、一方のプラグ39bは、ワード線方向に長いビット線接続配線層36bの先端部分に設けられる。そして、この第3層目のプラグ39a, 39b上にそれぞれ接続するビット線BL1, BL2を互いに離間しワード線と直交する向きにセル間を貫いて配線する。その後は、特に図示しないが、必要な場合は更に上層の配線層の形成を行った後、オーバーコート膜成膜及びパッド窓明け等の工程を経て、当該SRAM装置を完成させる。

【0050】なお、本実施形態の半導体記憶装置は、上述したSRAMセルのパターン及び構造に限定されず、種々の変更が可能である。また、製造方法も上記説明に限定されない。上記説明では能動領域6, 7を単純な矩形パターンとしたが、例えば駆動トランジスタのゲート幅をワードトランジスタのゲート幅より大きくして駆動トランジスタの能力比を高め、これによりセル動作を安定させたい場合、能動領域6の両トランジスタ間部分にパターン上の段差を設けてもよい。また、図5のコンタクト形成では、コンタクト22a~27bを自己整合コンタクトでなく、フォトリソアライメントによって位置合わせを行う方法で形成できる。この場合、オフセット絶縁膜12や窒化膜18の成膜が不要で製造工程が簡

22

素であるものの、ゲート電極とのアライメント余裕を十分にとっておく必要からセル面積の縮小化には不利となる。ゲート電極及びオフセット絶縁膜の側壁にサイドウォール等の分離絶縁層を形成することによりアライメント不要な自己整合コンタクトの形成法も採用できる。この場合、分離絶縁層の分だけコンタクト面積が小さくなるので、一定のコンタクト面積を確保するにはゲート電極間距離を予め大きくする必要がある。また、ゲート線コンタクト28a, 28bの接続を共通ゲート線の上面のみに達成してもよい。本例のパターンでは、このゲート線コンタクトによって、図6に示す記憶ノード配線層との所定距離が保てなくなるが、そのような場合、図6の工程で形成する記憶ノード配線層30a, 30bを、ゲート線コンタクトを避けてワード線の上に迂回したパターンとしてもよい。さらに、上記説明ではワード線や共通ゲート線はゲート電極を兼ねた1層目配線層としたが、これらを2層目以降の上層配線層で形成してもよい。なお、図6に示すランディングパッド層31a, 31bの省略も可能であり、この場合、この図6の工程で、ビット線接続配線層36a, 36bを他の2層目の配線層30a, 30b, VSS, VCCと同時に形成してよい。

【0051】本実施形態のSRAMセルにおいて、セル内の2つの能動領域6, 7はチャネル電流方向が平行となるように配置された単純な矩形パターン又は段差付きの略矩形状パターンで形成され、かつ、その上に重ねて形成されるゲート電極パターン(ワード線WL1, WL2及び共通ゲート線GL1, GL2)を互いに平行に配置している。このため、ゲート電極パターン形成時の合わせずれによって、トランジスタのサイズ(ゲート電極パターンと能動領域の重ね合わせ領域のサイズ)がトランジスタ間で一様に変化する。アライメントでは、xy方向のパターンずれのみならず回転ずれ(θ ずれ)が生じる可能性もあるが、xy方向ずれ、 θ ずれの何れに対しても全てのトランジスタサイズが一様に変化する。とくに、従来のように能動領域が屈曲したパターンでないもので、露光強度の過不足により生じるパターン形状の歪みによる影響を受けにくい。つまり、矩形状パターンである能動領域6, 7の端部にかかるまで大幅なアライメントずれがない限り、従来のように特定のトランジスタだけサイズが変化するような事態が有効に回避できる。したがって、パターン間の合わせずれによってセル内のトランジスタ特性にアンバランスが生じないので、メモリセルのインバータ特性が安定する。これによって、SRAMセルの電荷保持特性が製造工程中に低下しない優れたセル特性が達成できる。また、従来のようにセル電流経路の特定箇所抵抗値が増大しないため、書き込み又は読み出し速度が低下するようなこともない。さらに、ウェーハ内の位置に応じた合わせずれ量の違いによりメモリセルアレイ内、或いはチップ間でセル特性

がばらつくこともない。

【0052】また、本実施形態のセルパターンは、位相シフト法の適用に関して、以下の利点を有する。位相シフト法は、デバイスパターン形成時に、シフトと称される位相をシフトさせる手段をフォトマスクに予め設け、露光の際にシフトを通過する光と周囲を通過する光との干渉作用を利用してパターン境界の一方で光強度を強め他方で打ち消し合うようにすることによって、パターンの高解像度化を達成する技術である。このシフトによる光強度分布の偏在効果は、シフトのサイズ（幅及び厚さ等）に依存する一方で、そのサイズは高解像パターン及びその周囲のパターンの位置及び形状によって最適値が存在する。その一方、シフトは通常一括形成されるので、パターン形状等に応じたサイズ変更ができていない。また、パターンが屈曲したり複雑であると位相矛盾等が生じシフト配置そのものができない場合がある。したがって、位相シフト法による解像度の向上を有効に行うには、高解像度化を行うパターンが一方方向へ配列された長方形の繰り返しパターンが最も望ましい。本実施形態では、能動領域、及びワード線等の第1層目の配線層が、この一方方向へ配列された長方形の繰り返しパターンとなっており、従って、位相シフト法によるパターン微細化が容易に実現できる。

【0053】さらに、従来技術1のように、能動領域の端部で当該能動領域と隣接ポリシリコン層の双方にコンタクトをとるシェアードコンタクトもない。かかるシェアードコンタクトが存在すると、当該能動領域と隣接ポリシリコン層の双方に対するシェアードコンタクトのパターンニングの際に合わせズレが発生した場合、従来技術1のように能動領域の端部に対してコンタクトをとる構成では、その能動領域のパターン歪みとの関係でコンタクト不良が発生しやすい。本例では、このコンタクト不良が発生しやすいシェアードコンタクトを不要としている。

【0054】第2実施形態

本実施形態は、前記本発明の特徴①～③をタイプCに適用した場合を例示する。図11～図17は、本実施形態に係るSRAMセルの各製造過程におけるパターンと断面の構造を示す図であり、各図(a)はパターンの重ね合わせ図、各図(b)（及び(c)）は、(a)に示すA-A'線またはB-B'線に沿った断面図である。なお、先の第1実施形態と同一な構成は、同一符号を付して説明を省略する。図11及び図12に示す工程は、先の第1実施形態と同様である。

【0055】図13において、本実施形態では、インバータ間で共通な不純物領域、即ち共通電位が印加されるn⁺不純物領域と電源電圧が印加されるp⁺不純物領域へのコンタクトがプラグではなく、プラグと同様に層間絶縁層内に埋め込まれた矩形状の溝配線42、44によって達成されている。この第1層目の溝配線42、44

は、共通ゲート線GL1、GL2に沿って配置され、ワード線方向に隣接する2セル間で共有されている。溝配線42、44の形成は、同一層間絶縁層内で自己整合コンタクトを構成するプラグ22a～27bと同様な方法で行う。また、本例では、ゲート線コンタクト28a、28bが、先の第1実施形態の変形例として述べたように、ワード線の上面に接触した形態となっている。

【0056】図14においては、共通電位線VSSと電源線VCCを、それぞれ第1層目の溝配線42又は44上に直交して、その上面に接触する第2層目の溝配線で形成する。具体的には、第1実施形態のように第1の層間絶縁層20上での配線層形成を行わずに、第2層目の層間絶縁層32を成膜する。そして、この第2層目の層間絶縁層32内に、第2層目のプラグ34a、34bの形成と同時に、溝配線からなる共通電位線VSSと電源線VCCをそれぞれビット線方向のセル境界辺に沿って配線する。本例では、第1実施形態のように第1の層間絶縁層20上に配線層（図5の記憶ノード配線層30a、30b）を形成せずに、次の第2層目の層間絶縁層上に形成する。したがって、この図14における工程では、記憶ノード配線のための接続手段を予め設ける必要がある。よって、上記溝配線からなる共通電位線VSS、電源線VCC及びプラグ34a、34bと同時に、第1層目のプラグ（記憶ノードコンタクトまたはゲート線コンタクト）上に、第2層目のプラグ46a、46b、47a、47b、48a、48bを形成する。プラグ46aは記憶ノードコンタクト26a上に、プラグ47aは記憶ノードコンタクト27a上に、またプラグ48aはゲート線コンタクト28a上に、それぞれ形成される。同様に、プラグ46bは記憶ノードコンタクト26b上に、プラグ47bは記憶ノードコンタクト27b上に、またプラグ48bはゲート線コンタクト28b上に、それぞれ形成される。

【0057】図15においては、第2の層間絶縁層32上に記憶ノード配線層50a、50bと、ランディングパッド層31a、31bとを第2層目の配線層として同時に形成する。本例の記憶ノード配線層50aはプラグ46a、47a、48aを相互に接続し、記憶ノード配線層50bはプラグ46b、47b、48bを相互に接続する。このことは、トランジスタに対する電気的な接続関係としては第1実施形態と同様であるが、本例の記憶ノード配線層のパターンが第1実施形態と異なる。本例の記憶ノード配線層50aは、プラグ48aとプラグ46aとの接続部分で、もう一方のゲート線コンタクトに接続されたプラグ48bとの距離が近くなるのを回避するために、第1層目の溝配線42上方に迂回し、第2の層間絶縁層32を介して溝配線42に部分的に重ねられている。同様に、他の記憶ノード配線層50bは、プラグ48bとプラグ46bとの接続部分で、プラグ48aとの距離が近くなるのを回避するために第1層目の溝

配線44上方に迂回し、第2の層間絶縁層32を介して溝配線44に部分的に重ねられている。また、ゲート線コンタクトを上面接触形としたこととの関係で、記憶ノード配線層50a, 50bはプラグ47a又は47bとの接続部分でもワード線上方にそれぞれ迂回して配線されている。

【0058】以後の工程は、第1実施形態と比較すると各配線の階層が1層だけ上層側を用いている違いがあるものの、ほぼ第1実施形態と同様である。すなわち、第3の層間絶縁層38を成膜し、これにビットコンタクトのためのプラグ52a, 52bを形成した後、第3の層間絶縁層38上にビット線接続配線層36a, 36bを形成する(図16)。また、更に第4層目の層間絶縁層54を成膜し、これにビットコンタクトのためのプラグ56a, 56bを形成した後、第4の層間絶縁層54上にビット線BL1, BL2を形成し(図17)、第1実施形態と同様な諸工程を経て、当該SRAM装置を完成させる。

【0059】なお、本実施形態においても、第1実施形態で例示した種々の変形ができるほか、ゲート線コンタクト及びその上層のプラグを、位置はそのまま軸回転するようにして一対の平行辺を上層の記憶ノード配線層の配線方向に揃える変形も可能である。

【0060】本実施形態に係る半導体記憶装置(SRAM装置)においても、第1実施形態と同様な利点、即ちゲート電極パターン形成時のアライメントの合わせずれに起因したデータ保持特性または動作速度の低化がなく、またメモリセルアレイ又はチップ間での特性の均一性が高く、更に位相シフト法の適用も容易で微細化し易い等の利点がある。

【0061】本実施形態のSRAM装置では、先の第1実施形態と比較すると、記憶ノード配線層パターンに関する違いがある。この記憶ノード配線層は、第1の実施形態および本実施形態ともに、当該記憶ノード配線層と非接触にすべき2つのコンタクト、即ちゲート線コンタクトと、共通電位線又は電源線のコンタクトとの双方の間をパターン上で通す必要がある。先の第1実施形態では、例えば記憶ノード配線層30aを例にとると、図6に示すように、ゲート線コンタクト28bと共通電位線コンタクト24がプラグで形成され、これらとの接触を平面パターン上で避ける必要から、そのコンタクト間に記憶ノード配線層30aを通す必要がある。このため、2つの能動領域6, 7の間隔を比較的に広くとり、記憶ノード配線層30aは素子分離領域上で両コンタクト24, 28a間を縦に(ビット線方向に)真っ直ぐ通すパターンとなっていた。したがって、先の第1実施形態の配線層は、これを限界解像度で形成しパターンピッチを極力小さくしても、この最小ピッチをPとすると、ワード線方向のサイズが5P以上必要であるため、これ以上のセル縮小は困難であった。これに対し、本実施形態で

は、図14に示すように、共通電位線又は電源線のコンタクト構造が2層化している。つまり、このコンタクト構造が、プラグと同様に第1の層間絶縁層20内に埋め込まれた第1層目の溝配線42, 44と、その上にセル境界付近で接する第2層目の溝配線(共通電位線VSS又は電源線VCC)とからなる。また、記憶ノード配線層50a, 50bが、第1実施形態の場合より1層だけ上層側の第2の層間絶縁層32上に配線されている。この場合、記憶ノード配線層50a, 50bは、上層の溝配線(共通電位線又は電源線)との接触を回避できればよく、その配線の自由度が第1実施形態と比較してセル外側に向かって増大している。したがって、本実施形態では、記憶ノード配線層をインバータ間で共通な不純物領域上方に迂回して配線させることが可能となった。たとえば、図示例の記憶ノード配線層50a, 50bは、その記憶ノードコンタクトからゲート線コンタクトに向かう配線部分が、インバータ間で共通な不純物領域および第1層目の溝配線42または44の上方を通して素子分離領域上に達する斜めの配線となっている。この配線部分を斜めとすることで、能動領域間隔を狭くしても他の非接触とすべきゲート線コンタクトと距離を十分に保つことができ、第1実施形態と比較してワード線方向のセル寸法を短縮することを可能としている。

【0062】さらに、本実施形態では、電源電圧供給線VSS, VCCを溝配線としたことにより、記憶ノード配線層50a, 50bとの接触を防止するために合わせ余裕をとる必要があるものの、この合わせ余裕は同じ階層の配線層間スペースより小さくできる。このため、その分だけワード線方向のセルサイズを小さくできる、または電源電圧供給線VSS, VCC幅を大きくできるといった利点がある。

【0063】一方、先の従来技術2(図81)では、電源電圧供給線をメタル配線層で形成しているが、電源電圧供給線をLOCOSや1層目のポリシリコン配線(ワード線または共通ゲート線)と同程度のピッチで配線する必要がある。その場合、高解像度パターンニングではレジスト膜厚を薄くするが、エッチング後のレジスト残膜厚を確保する必要から、電源電圧供給線となるメタル配線層の膜厚を余り厚くできない。たとえば、このときのレジスト膜厚をLOCOSや1層目のポリサイド配線の形成時と同様に0.7 μ mとする。このとき、LOCOS形成の選択酸化用マスク層(SiN層)やポリサイド層は、その膜厚が100nm~400nmと比較的に厚い場合もあるが、そのレジストに対するエッチング選択比が5~10と比較的に大きいので、長い間エッチングしてもレジストの膜減りは少ない。これに対し、メタルのレジストに対するエッチング選択比が2~3と、ポリサイド等の半分以下と小さいので、レジスト残膜厚を一定量確保する必要から、メタル厚は最大でも200nmが限界である。そして、この200nm以下の薄いメ

タル配線層では、EM耐性の観点から配線材料はTi系に限定され、その結果、電源電圧供給線の配線抵抗を低くできない。

【0064】これに対し、本実施形態のように、電源電圧供給線を溝配線にすると、同じ配線ピッチ（使用レジスト厚：0.7 μ m）の場合、対レジストのエッチング選択比は層間絶縁層についてであり、これがSiO₂の場合は5～10とポリサイドと同等なので、層間絶縁層の厚さ（即ち、溝配線厚）を400nmと厚くできる。また、材料もTi系（比抵抗：55 $\mu\Omega$ cm）に限定されず、例えばW系（比抵抗：10 $\mu\Omega$ cm）を用いることができる。以上より、従来と同じ配線ピッチでも、電源電圧供給線VSS、VCCをメタル配線から溝配線に変更するだけで、その配線抵抗を従来の1/2以下に低減できる。また、W系材料を採用でき、この場合、配線抵抗は1/10以下に低減できる。

【0065】一方、通常のメタル配線層を用いて溝配線と同等の配線抵抗を実現するには、Al系配線層が必要となる。さらに、微細なAl配線を実現するには、通常採用されているように、Alからなる主配線層の上下をTi系膜で挟んだ3層構造とする必要がある。この下層Ti系膜（膜厚は、例えば100nm程度）は、上に堆積するAl層の結晶性の向上、及び、その結果もたらされるAl層のEM耐性向上のために導入される。また、上層Ti系膜（膜厚は、例えば50nm程度）は、Al配線をパターンニングする際の露光において入射光の反射防止用に導入される。しかし、この3層構造のAl配線層では、上下のTi系膜とAl層との界面でAl-Ti合金を形成し、その厚みはウエハプロセスの熱履歴によるが、片側で50～100nmにも達する。このAl-Ti合金はAlより比抵抗が高く、このため、Al配線層で溝配線と同様の配線抵抗を実現しようとする、Al層の堆積後の初期膜厚を、最低でも150nm、通常のウエハプロセスでは250nm程度とする必要がある。Al層の初期膜厚を250nm、3層構造のAl配線層全体の厚さを400nmとすると、そのパターンニング時のレジスト膜厚を1層目のポリシリコンの2倍以上（例えば、1.4 μ m以上）にしなければならない。このため、Al配線のピッチを1層目のポリシリコンの1.5倍以上にする必要がある。以上より、従来技術2あるいは第1実施形態において、電源電圧供給線としてAl配線層を用いることは、セルサイズが増大するので採用できない。

【0066】このように本実施形態では、電源電圧供給線を溝配線とすることによって、その配線抵抗の低減、これに伴うセル動作の安定化、或いはメモリセルの微細化といった種々の利点を有するSRAM装置を実現できる。

【0067】第3実施形態

本実施形態は、前記発明の特徴①～③のタイプCへの他

の適用例として、先の第1実施形態の電源電圧供給線を溝配線に変更する場合である。図18(a)～図25

(a)は、本実施形態に係るSRAMセルの各製造過程における配置パターン図である。なお、ここでは各図(b)に、第1実施形態を比較例として併せて示す。また、第1実施形態と同一な構成は、同一符号を付して詳細な説明を省略する。

【0068】図18において、第1実施形態と同様に、能動領域6、7、ゲート電極を兼ねる第1層目のポリシリコン層（ワード線WL1、WL2、共通ゲート線GL1、GL2）、ソースまたはドレイン不純物領域を、この順で形成する。また、図19において、自己整合コンタクト22a～27bとワード線コンタクト28a、28bを形成する。

【0069】続いて、図20では、第2層目の層間絶縁層を成膜後、この第2層目の層間絶縁層に溝配線により電源電圧供給線VSS、VCCを形成する。この電源電圧供給線VSS、VCCは、ワード線と直交するビット線方向のセル辺に沿って配線され、隣接セル間で共有されている。また、この電源電圧供給線VSS、VCCは、隣接セルの電源電圧供給用のコンタクト（共通電位線コンタクト24、電源線コンタクト25）間でワード線方向両側に分岐され、当該電源電圧供給用のコンタクト上にそれぞれ接続されている。これにより、本発明における2層コンタクト構造が達成される。ここで、電源電圧供給用コンタクト24、25が本発明における“第1の埋込導電層”に該当し、溝配線による電源電圧供給線VSS、VCCが本発明における“第2の埋込導電層”に該当する。なお、この溝配線と同時に、図示のように、第2層目のプラグ34a、34b、46a～48bを、各種コンタクトとして第1層目のプラグ22a、22b、26a～28b上に形成する。

【0070】図21では、第2層目の層間絶縁層上に、2つのノード配線層30a、30bを形成する。ノード配線層30aは第2層目のプラグ46a、47a、48aを相互接続し、ノード配線層30bは第2層目のプラグ46b、47b、48bを相互接続する。このとき同時に、ビットコンタクト用の第2層目のプラグ34a、34b上に、ランディングパッド層31a、31bを形成する。

【0071】以後の工程は、第1実施形態に比べ各構成の階層が1レベルだけ上層化しているほか、第1実施形態と同様にして行う。すなわち、第3層目の層間絶縁層を成膜後に、ビットコンタクト用の第3層目のプラグ52a、52bをランディングパッド層31a、31b上に形成し（図22）、これに接続するビット線接続配線層36a、36bを第3層目の層間絶縁層上に形成する（図23）。第4層目の層間絶縁層を成膜後に、ビットコンタクト用の第4層目のプラグ56a、56bを形成し（図24）、このそれぞれに接続するビット線BL

1, BL2を形成する(図25)。その後は、所定の工程を経て当該SRAM装置を完成させる。

【0072】図26は、本実施形態の変形例を示す溝配線形成後のパターン図である。この変形例では、溝配線を単純なストライプにするため、能動領域62, 64を、従来技術2と同様に隣接セル間で連結し、この連結部分の中央に電源電圧供給用コンタクト24, 25を配置している。

【0073】本実施形態のSRAM装置では、先の第2実施形態と同様に、電源電圧供給線VSS, VCCを溝配線としたことによる種々の利点が見られる。このうち、セル面積の縮小に関して、各図(a)と(b)を比較すれば明らかなように、ワード線方向のセルサイズが第1実施形態に比べ縮小されていることがわかる。また、本実施形態では、図26に示す変形例を除くと、第1実施形態と同様に能動領域パターンに関する種々の利点が見られる。

【0074】第4実施形態

本実施形態は、前記発明の特徴②, ③をタイプAに適用した場合を例示する。図27(a)~図34(a)は、本実施形態に係るSRAMセルの各製造過程における配置パターン図である。なお、ここでは、各図(b)に(a)よりセルサイズが大きな従来例1の対応する配置パターンを、各図(c)に(a)とセルサイズを同等とした従来例2の対応する配置パターンを示す。この従来例1は本実施形態のセルサイズ縮小効果を示す比較例として、従来例2は本実施形態のプロセスの簡略性を示す比較例として、それぞれ併せて示している。なお、このタイプAにおいても、第1, 第2実施形態のタイプCと基本的なプロセス手順は同様である。以下、プロセス手順が異なる点と、パターンを中心に説明する。

【0075】図27は、トランジスタ形成後のパターン図である。ここでは、先の第1実施形態と同様な手順で、能動領域、ゲート電極を兼ねる第1層目のポリシリコン層(ワード線、共通ゲート線)、ソースまたはドレイン不純物領域を、この順で形成する。ただし、本例におけるp型能動領域はセル内で2つに分離されており、2つのp型能動領域72a, 72bそれぞれは、そのワード線と平行な部分の対向端が一方方向(図の上側)に屈曲した形状を有する。そして、この屈曲部に対し、共通ワード線WLがそれぞれ直交することによって、ワードトランジスタQn3, Qn4が設けられている。また、本例におけるn型能動領域もセル内で2つに分離されている。その一方のn型能動領域74aと前記p型能動領域72aの双方に直交して、記憶ノードND2となる共通ゲート線76bが配置され、これにより、駆動トランジスタQn1と負荷トランジスタQp1が形成されている。同様に、n型能動領域74bと前記p型能動領域72bの双方に直交して、記憶ノードND1となる共通ゲート線76aが配置され、これにより、駆動トラン

ジスタQn2と負荷トランジスタQp2が形成されている。共通ゲート線76bは、途中から分岐してn型能動領域74bの隣接位置まで延びている。同様に、共通ゲート線76aは、途中から分岐してp型能動領域72aの隣接位置まで延びている。

【0076】図28では、第1層目の層間絶縁層を成膜後、これに第1層目のプラグからなる各種コンタクト78a~86bを形成する。このうち、符号78a, 78bはビットコンタクト、80a, 80bは共通電位線コンタクト、82a, 82bは電源線コンタクト、84a~86bは記憶ノードコンタクトを示す。このうち記憶ノードコンタクト84a, 84bは共通ゲート線と隣接能動領域の双方に重なるシェアードコンタクトである。

【0077】図29では、本実施形態のSRAMセル70のみ、第2層目の層間絶縁層を成膜後、この第2層目の層間絶縁層に溝配線により電源電圧供給線VSS, VCCを形成する。この電源電圧供給線VSS, VCCは、ワード線方向に配線されている。このうち共通電位線VSSは、その幹線の途中から分岐した部分により共通電位線コンタクト80a, 80b上にそれぞれ接続されている。一方、電源線VCCは、pMOS側に位置するワード線方向のセル辺に沿って配線され、隣接セル間で共有されている。この電源線VCCは、その幹線の途中から隣接セルの両側に分岐した部分により各セル内の電源線コンタクト82a, 82b上に接続されている。これにより、本発明における2層コンタクト構造が達成される。なお、この溝配線と同時に、図示のように、第2層目のプラグ88a~92bを、第1層目のコンタクト78a, 78b, 84a~86b上に形成する。

【0078】図30では、第2層目(従来例1, 2では、第1層目)の層間絶縁層上に、2つの記憶ノード配線層96a, 96bを形成する。本実施形態のSRAMセル70では、ノード配線層96aは第2層目のプラグ90aと92aを、記憶ノード配線層96bは第2層目のプラグ90bと92bを、それぞれ相互接続する。このとき、従来例1, 2では、記憶ノード配線層96aにより第1層目のプラグ84aと86aが、記憶ノード配線層96bにより第1層目のプラグ84bと86bが、それぞれ相互接続される。同時に、ビットコンタクト用の第2層目のプラグ88a, 88b(または、第1層目のビットコンタクト78a, 78b)上に、ランディングパッド層94a, 94bを形成する。さらに、同時に、従来例1のみ、本実施形態で既に形成されている溝配線(図30(a)参照)による場合と同様な位置および電気的な接続関係で、電源電圧供給線VSS, VCCを通常の配線層により形成する。

【0079】図31(a)では、第3層目の層間絶縁層を成膜後、これにビットコンタクト用の第3層目のプラグ98a, 98bを形成する。このとき、従来例2では第2層目の層間絶縁層に第2層目のプラグ88a, 88

bが、従来例2では第2層目の層間絶縁層に第2層目のプラグ88a、88b、512a～514bが同時形成される。

【0080】図32では、従来例2のみ、第2層目の層間絶縁層上に、ビットコンタクト用のランディングパッド層516a、516b、第2層目のプラグ512a、512bを相互接続する共通電圧線VSS、および第2層目のプラグ514a、514bを相互接続する電源線VCCを同時形成する。

【0081】図33では、従来例2のみ、第3の層間絶縁層を成膜後、これにビットコンタクト用の第3層目のプラグ518a、518bをランディングパッド層516a、516b上に形成する。

【0082】図34では、第2または第3層目のビットコンタクト用プラグ上にそれぞれ接続してビット線BL1、BL2を配線する。以後は、所定の工程を経て当該SRAM装置を完成させる。

【0083】図35および図36は、本実施形態の変形例を示す溝配線形成後のパターン図である。図35に示す変形例1では、第1層目のコンタクト形成時に、電源電圧供給用のコンタクトを溝配線100a～102bで形成し、電源電圧供給線VSS、VCCを単純ストライプ形状としている。また、図36に示す変形例2では、2つに分離された能動領域104aと104b、又は106aと106bの対向端のみならず、外側端も屈曲させることによって、電源電圧供給線VSS、VCCを単純ストライプ形状としている。

【0084】本実施形態のSRAM装置では、先の第2実施形態と同様に、電源電圧供給線VSS、VCCを溝配線としたことによるセル面積の縮小、電源電圧供給線の配線抵抗の低減等の種々の利点が得られる。このうちセル面積の縮小について、本実施形態に係る図示例では、従来例1との比較ではビット線方向のサイズが縮小され、また、従来例2との比較では、セル面積を同じとした場合に工程数が少ないことが分かる。

【0085】また、配線抵抗の低減に関しては、本実施形態では、配線幅、配線の厚さ、材料の面から配線抵抗の低減が可能となる。図30の(a)と(b)との比較から明らかなように、本実施形態では、電源電圧供給線の幅が2倍程度に拡大されている。従来例(図30

(b))の電源電圧供給線は、同じ階層の配線層からなる記憶ノード配線層とビットコンタクト用のランディングパッド層との近接パターン間を所定の分離スペースにおいて配線される。これに対し、電源電圧供給線を溝配線とすると(図30(a))、隣接パターンとの間は接触を避けるためのアライメント余裕のみで足り、そのぶん電源電圧供給線の配線幅を大きくできる。したがって、電源電圧供給線の配線幅を同じとすれば、そのぶんビット線方向のセルサイズを更に縮小できる。また、溝配線としたことにより、電源電圧供給線の厚さを例えば

2倍以上厚くでき、配線材料が同じでも配線抵抗が1/2以下になる。さらに、従来より比抵抗が小さい材料を選択でき、この面でも配線抵抗を小さくできる。

【0086】第5実施形態

本実施形態は、上記した第4実施形態形態(Aタイプ)の記憶ノード間接続に関するパターン変形例を示す。図37(a)～図44(a)は、本実施形態に係るSRAMセルの各製造過程における配置パターン図である。なお、ここでは、第4実施形態の従来例1と従来例2に対応して、各図(b)に従来例3と各図(c)に従来例4とを示す。また、先の第4実施形態と同一な構成は、同一符号を付して詳細な説明を省略する。

【0087】図37では、第4実施形態と異なる点は、共通ゲート線116a、116bを単純ストライプパターンとしたことである。

【0088】次に、第1層目のコンタクトとノード配線を行うが、本例では、2つの記憶ノード配線層を2層化し、その第1層目を層間絶縁層内の溝配線とし、第2層目を上層の層間絶縁層上の通常配線で形成する。図38においては、このうち下層の記憶ノード配線層を溝配線で形成する。具体的に、ここでは片方のインバータ側の2つの記憶ノードコンタクトを省略し、この記憶ノードコンタクトが省略された2つの不純物領域と他方側インバータの共通ゲート線116aとを相互接続する記憶ノード配線層128aを、溝配線により形成する。このとき、第1層目の各種コンタクト78a～82b、86b、122、124が同時形成される。このコンタクトのうち、符号122で示すコンタクトは、シェードコンタクトではなく通常のコンタクトとし、また、符号124で示すコンタクトは、共通ゲート線116b上に形成する。

【0089】図39では、第2層目の層間絶縁層内に、溝配線からなる電源電圧供給線VSS、VCCと、2層目のプラグ88a、88b、92b、132及び134を、第4実施形態と同様に形成する。このとき、従来例3、4については、2層目のプラグ88a、88b、92b、132、134、522a～524bが形成される。

【0090】図40では、上層の記憶ノード配線層128bを、第2層目の層間絶縁層上に形成するとともに、ビットコンタクト用のランディングパッド層94a、94bを形成する。このとき、従来例3においては、電源電圧供給線VSS、VCCが形成される。

【0091】後は、第4実施形態と同様にして、第3層目の層間絶縁層にビットコンタクト用プラグ98a、98bを形成し(図41)、従来例4のみ電源電圧供給線VSS、VCCを通常の配線層により形成し(図42)、従来例4のみ第4層目の層間絶縁層の成膜とビットコンタクト用プラグ518a、518bの形成を行った後(図43)、ビット線BL1、BL2の形成を行う

(図44)。

【0092】本実施形態においては、先の第4実施形態における図35または図36と同様な変形が可能である。また、本実施形態では、第4実施形態と同様に、電源電圧供給線を溝配線で形成したことによる効果が得られる。

【0093】第6実施形態

本実施形態は、前記発明の特徴②、③をタイプBに適用した場合を例示する。図45(a)～図52(a)は、本実施形態に係るSRAMセルの各製造過程における配置パターン図である。また、各図(b)は、ノード配線パターンに関する本実施形態の変形例1を示す。なお、ここでは、第4実施形態の従来例1、2に相当する比較例として、各図(c)、各図(d)に従来例5、6を示す。また、第4実施形態と同一な構成は、同一符号を付して詳細な説明を省略する。

【0094】図45では、能動領域、ゲート電極を兼ねる第1層目のポリシリコン層(ワード線、共通ゲート線)、ソースまたはドレイン不純物領域を、この順で形成する。ただし、本例における能動領域142、144は、第4実施形態で2つに分離されていたものを線対称に折り返し近接対向端同士でつなげたようなパターンをしている。p型能動領域142の屈曲部に対するワード線WLの関係は第4実施形態と同じである。また、本実施形態の共通ゲート線146a、146bは、ビット線方向の単純ストライプパターンとなっている。

【0095】図46では、第1層目の層間絶縁層を成膜後、これに第1層目の各種コンタクト148a～152b、158a、158bを形成する。このうち、符号158a、158bで示すコンタクトは、共通ゲート線146a、146b上にそれぞれ形成されている。また、これと同時に、本実施形態では、図46(a)、(b)に示すように、能動領域142、144の中央部から外側に延びる第1層目の溝配線154、156を形成する。なお、従来例5、6では、この能動領域の中央部に、電源電圧供給用として通常のプラグ542、543が形成される。

【0096】図47では、本実施形態のSRAMセル140、140-1のみ、第2層目の層間絶縁層を成膜後、この第2層目の層間絶縁層に第2層目の溝配線により電源電圧供給線VSS、VCCを形成する。この電源電圧供給線VSS、VCCは、ワード線方向に配線され、下層の溝配線154または156の端部上に接続されている。このうち電源線VCCは、pMOS側に位置するワード線方向のセル辺に沿って配線され、隣接セル間で共有されている。この2層の溝配線によって、本発明における2層コンタクト構造が達成される。なお、この溝配線と同時に、図示のように、第2層目のプラグ160a～166bを、所定の第1層目のコンタクト上に形成する。

【0097】図48では、第2層目(従来例5、6では、第1層目)の層間絶縁層上に、2つの記憶ノード配線層を形成する。図48(a)、(c)及び(d)では、2つの記憶ノード配線層それぞれが、2つの記憶ノードコンタクト用プラグをビット線方向に接続する配線途中からワード線方向に真っ直ぐ延びる分岐線により他のインバータ側の共通ゲート線との接続が達成されている。記憶ノード配線層170aは、第2層目のプラグ162a、164a(または、第1層目のプラグ150a、152a)及びゲート線コンタクト166a(または158a)を相互接続している。記憶ノード配線層170bは、第2層目のプラグ162b、164b(または、第1層目のプラグ150b、152b)及びゲート線コンタクト166b(または158b)を相互接続している。これに対し、図48(b)の変形例1では、2つの記憶ノード配線層それぞれが、2つの記憶ノードコンタクト用プラグの一方側から、非接触とすべきゲート線コンタクトを避けて第1層目の溝配線に迂回して配線されている。記憶ノード配線層174aは、記憶ノードコンタクト用プラグ164aと162aを接続した後、第1層目の溝配線154の上方を通過してゲート線コンタクト166aを接続している。記憶ノード配線層174bは、記憶ノードコンタクト用プラグ162aとb164bを接続した後、第1層目の溝配線156の上方を通過してゲート線コンタクト166bを接続している。このとき同時に、ビットコンタクト用プラグ160a、160b(または、148a、148b)上に、ランディングパッド層168a、168bを形成する。さらに、同時に、従来例5のみ、電源電圧供給線VSS、VCCが、電源電圧供給用のプラグ542、543を接続してワード線方向に、通常の配線層により形成される。また、従来例6のみ、電源電圧供給用のプラグ542、543上にランディングパッド層554、555が同時形成される。

【0098】後は、先の実施形態と同様ににして、第3層目の層間絶縁層にビットコンタクト用プラグ172a、172bを形成し(図49)、従来例6のみ電源電圧供給線VSS、VCCを通常の配線層により形成し(図50)、従来例6のみ第4層目の層間絶縁層の成膜とビットコンタクト用プラグ558a、558bの形成を行った後(図51)、ビット線BL1、BL2の形成を行う(図52)。以後は、所定の工程を経て当該SRAM装置を完成させる。

【0099】図53および図54は、本実施形態の変形例2、3を示す溝配線形成後のパターン図である。図53に示す変形例2では、第1層目のコンタクト形成時に、電源電圧供給用のコンタクトを通常のプラグで形成しておき、これと電源電圧供給線VSS、VCCとの接続をその幹線からの分岐により達成している。また、図54に示す変形例3では、能動領域143、145にお

10

20

30

40

50

いて、その中央部からも屈曲部を設け、これにより電源電圧供給線VSS、VCCを単純ストライプ形状としている。

【0100】本実施形態のSRAM装置では、第4実施形態と同様に、第電源電圧供給線VSS、VCCを溝配線としたことによる利点が得られる。

【0101】第7実施形態

本実施形態は、先の第2実施形態に、前記発明の特徴④を追加適用した場合を示す。図55～図58は、本実施形態に係るSRAMセルの各製造過程における配置パターン図である。

【0102】図55以前の工程は、第2実施形態と同様である。図55では、電源電圧供給線VSS、VCCを溝配線により形成するが、このとき同時に、ビットコンタクト用のプラグ34a、34bの一方（ここでは、34b）上に接続し、ワード線方向に長い矩形状のビット線接続配線層182を、溝配線により形成する。

【0103】図56では、記憶ノード配線層50a、50bとランディングパッド層を第2層目の層間絶縁層上に形成する。本実施形態では、ランディングパッド層31cを、溝配線からなるビット線接続配線層182の端部上に直接接触させて形成する。

【0104】その後は、第3の層間絶縁層を成膜後、そのランディングパッド上の位置に、ビットコンタクト用のプラグ52a、52cを形成し（図57）、このプラグと接続するビット線BL1、BL2を第3の層間絶縁層上に配線し（図58）、所定の諸工程を経て当該SRAM装置を完成させる。

【0105】本実施形態では、先の第2実施形態と同様な利点に加え、ビット線接続配線層を溝配線化したことにより、多層配線構造を1層だけ低層化できる。これにより、層間絶縁層の成膜、接続プラグ等の形成を省略でき、そのぶん工程が簡略される利点がある。なお、このビット線接続配線層を溝配線化は、第1実施形態のパターン等、タイプCのSRAM装置に広く適用できる。

【0106】第8実施形態

本実施形態では、第2実施形態の電源電圧供給線に関する変形例を示す。図59は、本実施形態に係るSRAMセルの3層目の配線後における配置パターン図であり、第2実施形態では図16(a)に対応する。また、図60(a)は図59のA-A'線に沿った断面図、図60(b)は図59のB-B'線に沿った断面図である。

【0107】第2実施形態では、2層目の配線工程に先立ち、第2層目の層間絶縁層に溝配線による電源電圧供給線VSS、VCCを形成した。これに対し、本実施形態では、この電源電圧供給線的一方のみ（図示例では、共通電位線VSSのみ）セル間を貫く長い溝配線とし、他方側に内部接続用の埋込導電層（プラグまたは溝配線）を形成する。図示例の内部接続用の埋込導電層192は、下層の溝配線42上からビット線方向の一方（図

示例では、ワード線WL1側）に配置された溝配線からなる。

【0108】次に第3層目の層間絶縁層を成膜した後、これにビットコンタクト用プラグ52a、52bを形成すると同時に、内部接続用の埋込導電層（溝配線192）上にプラグ194を形成する。

【0109】そして、第3層目の配線工程で、ビット線接続配線層36b等と共に、プラグ194上に接続された電源電圧供給線（共通電位線VSS）を、他の電源電圧供給線（電源線VCC）と直交する方向に配線する（図59）。その後は、第2実施形態と同様、第4の層間絶縁層を成膜し、ビットコンタクト用プラグを形成した後、ビット線を配線する等の工程を経て、当該SRAM装置を完成させる。

【0110】図61は、本実施形態の変形例を示す配置パターン図である。この変形例では、共通電位線VSSのほか、電源線VCCも上層配線層で形成している。この場合、共通電位線VSSと電源線VCC間を離すために、内部接続用の埋込導電層192、196を互いに逆向きに配置した溝配線とする必要がある。この溝配線192、196上にそれぞれ接するプラグ194、198上に、共通電位線VSSと電源線VCCが、所定間隔の平行なストライプパターンで配置されている。

【0111】本実施形態では、上層配線層で形成された電源電圧供給線は、例えばビット線接続配線層以外に邪魔するものがないため、配線幅を大きくできる。とくに、電源電圧供給線を溝配線と上層配線層で形成した図59の場合は、幅広の配線層によって配線抵抗の低減も可能である。また、第2実施形態に比較しても、何ら工程増とならない。

【0112】第9実施形態

本実施形態は、前記本発明の特徴⑤をタイプCに適用した場合の例であり、上記第8実施形態の上層配線層（電源電圧供給線）を配線方向と直交する方向のセル間で共通化したものである。図62～図68は、本実施形態に係るSRAMセル（タイプC）を2セル又は4セルぶん示す配置パターン図である。この図に示されるように、タイプCのSRAMセルは、ビットコンタクトが2つのセル200、200'間で共有され、この共有コンタクトが設けられたセル辺を境に、当該2つのセル200、200'が線対称配置されている。

【0113】本実施形態では、図66の上層配線層の形成前までは、第8実施形態とほぼ同様な工程である。すなわち、トランジスタ形成後、第1層目の溝配線42、44を各種コンタクトとともに形成し（図62）、第2層目の層間絶縁層を成膜後、第2層目の溝配線192、192'を、プラグ34a等の形成と同時に、共通電位が付与される不純物領域上の第1層目の溝配線42、42'上に形成する（図63）。続いて、第2層目の層間絶縁層上に、記憶ノード配線50a、50b等の形成と

同時に、第2層目の溝配線192、192'上に接してランディングパッド用の配線層202、202'を形成する(図64)。そして、第3層目の層間絶縁層を成膜後、これにビットコンタクト用のプラグ52a、52c等の形成と同時に、電源電圧供給線用のプラグ194、194'を形成する(図65)。

【0114】図66において、共通電位線VSSを第3層目の配線層により形成するが、本実施形態では、この共通電位線VSSが、ビットコンタクト周囲を除いた部分においてビット方向に隣接する2セル間で接続されたパターンとする。なお、図66において、符号204は、いわゆるワード線の裏打ち配線として、図示せぬ箇所ワード線に接続された低抵抗化のための配線層を示す。このワード線の裏打ち配線204は、本例では、共通電位線VSSと同じ階層で形成されている。このワード線の裏打ち配線204が不要な場合、共通電位線VSSを、ビットコンタクト周囲を開口した面状パターンとすることもできる。

【0115】その後は、他の実施形態と同様に、第4層目の層間絶縁層を成膜後、これにビットコンタクト用のプラグ56a、56bを形成し(図67)、ビット線BL1、BL2を配線する(図68)。

【0116】本実施形態では、第2、第7実施形態と同様な効果に加え、上層配線層で形成した電源電圧供給線の配線抵抗を低減することが可能となる。

【0117】第10実施形態

本実施形態は、前記発明の特徴⑤を、上記第9実施形態に追加適用した場合である。図69(a)～図78

(a)は、本実施形態のSRAM装置の配置パターン図、各図(b)は(a)のA-A'線に沿った断面図、各図(c)は(a)のB-B'線に沿った断面図である。また、各図(d)に、比較例として第4実施形態で用いた従来例2を併せて示す。

【0118】本実施形態では、図69までは、第9実施形態とほぼ同様な工程である。すなわち、トランジスタ形成後、第1層目の溝配線42、44を各種コンタクトとともに形成し、第2層目の層間絶縁層32を成膜後、第2層目の溝配線192を、プラグ34a等の形成と同時に、共通電位が付与される不純物領域上の第1層目の溝配線42上に形成する。

【0119】図70では、記憶ノード配線となる膜の成膜を行うが、本実施形態では、この膜を下層の導電膜212と、上層のエッチング保護膜214の2層構造とする。これは、詳細は次に述べるが、2つの記憶ノード配線層を2回のフォトリソグラフィ加工技術を用いて形成するためである。このエッチング保護膜214は、下層の導電膜212とエッチング選択比が高い材料であればよく、SiO₂等の有機材料、又は下地とは種類の異なる導電材料などで構成される。なお、これに該当する従来例2の工程では、単層の導電膜95が成膜される。

【0120】つぎに、図71では、2つの記憶ノード配線層の一方のパターンで、例えばフォトレジスト等のパターン216を形成する。続く図72において、このパターン216をマスクとしたエッチングにより、エッチングマスク層214aをパターンニングする。

【0121】同様な方法で、他の記憶ノード配線層のパターンにて、導電膜212の表出面にフォトレジスト等のパターン218を形成し(図73)、これをマスクとしたエッチングにより、導電膜212のパターンニングを行う(図74)。このとき、エッチング保護層214aが、自己整合マスクとして機能し、その直下の導電膜部分がエッチングされない。このため、図74に示すエッチング終了後には、2層の第1の記憶ノード配線層212a(及び214a)と、単層の第2の記憶ノード配線層212bが、所定のプラグ間を接続して形成される。なお、第1の記憶ノード配線層は、その上層側のエッチング保護層214aが膜厚、材料またはエッチング条件によってエッチング終了時点でエッチオフされる場合、或いはパターンニング後に別工程で除去する場合に、単層となる。このエッチング保護層214aを別工程で除去することが望ましい場合としては、それが有機材料で耐熱性が劣る場合がある。エッチング保護層214aが導電材料、またはSiO₂等の通常の絶縁材料であれば、この図示のように、そのまま残存させてよい。

【0122】図75以降は、ビット線接続配線層をビット線より一層下の配線層で形成する以外、先の第9実施形態と同様な工程を行う。すなわち、第3の層間絶縁層38を成膜後、これにプラグ52a、52b、194を形成し(図75)、共通電位線VSSおよびビット線接続配線層36a等を形成する(図76)。また、第4の層間絶縁層54を成膜し(図77)、これにビットコンタクト用のプラグ56a、56bを形成し、ビット線BL1、b12を配線する(図78)。以後は、所定の諸工程を経て当該SRAM装置を完成させる。

【0123】本実施形態に係るSRAM装置その製造方法では、2つの記憶ノード配線層の形成膜を2層とし、その上層側のエッチング保護膜を一方の配線層パターンにて形成しておき、他方の配線層パターンにて下層の導電膜をパターンニングする際に、エッチング保護層をエッチングマスクとして機能させて2つの記憶ノード配線層を同時形成する。このため、本実施形態では、2つの記憶ノード配線層のピッチが緩和されている。

【0124】図79は、本実施形態のSRAMセルのデザインルールおよびセルサイズを、2つの比較例、即ち比較例1(第2、第7～第9の実施形態)と比較例2(従来例2)とともに示す説明図である。本発明に係る6トランジスタ型のSRAM装置において、配線に関する最小のデザインルールは記憶ノード配線層までで決まる。したがって、図79において、(a)は本実施形態、(b)は比較例1、(c)は比較例2について、L

OCOS, ゲート電極, 記憶ノード配線のパターン、それぞれのライン幅、スペース幅、ピッチ（ライン幅とスペース幅の合計）、最小ピッチの半分で規定されるデザインルール、セスサイズを示している。

【0125】比較例1ではデザインルールを決めるのは記憶ノード配線のパターンであり、また、比較例2では、デザインルールを決めるのはLOCOSとゲート電極のパターンであり、その何れの場合も、ライン幅およびスペース幅が $0.2\mu\text{m}$ でピッチが $0.4\mu\text{m}$ であることから、デザインルールは $0.2\mu\text{m}$ と小さい。これに対し、本実施形態のSRAM装置では、出来上がりのパターン自体は比較例1と同じにもかかわらず、記憶ノード配線を2つのパターンにて分けて形成することから、その特にスペース幅が従来の $0.2\mu\text{m}$ から3倍に緩和され、そのためピッチも $0.8\mu\text{m}$ と2倍に緩和されている。その結果、本実施形態のSRAM装置でデザインルールを決めるのはゲート電極パターンとなり、そのピッチは $0.6\mu\text{m}$ であり、 $0.3\mu\text{m}$ のデザインルールとなっている。これによって、本実施形態では、2つの比較例1, 2の何れに対しても、デザインルールが50%増しになっており、パターン形成が容易になる。一方、セルサイズの比較では、本実施形態が $4.08\mu\text{m}^2$ と、比較例2の $4.25\mu\text{m}^2$ に比べ小さい。また、この図示例では比較例1とセルサイズは同じであるが、上記したようにデザインルールが50%増しなので、本実施形態のSRAMセルが更なるセル面積の縮小化が容易である。

【0126】また、本実施形態では、記憶ノード配線のエッチングマスク層を2つのパターン間で別々のフォトリソグラフィにて形成することから、その2つのパターン間隔は、最低でもフォトリソグラフィのアライメント余裕とエッチングで分離できる下限の幅を満たせば、両者が接触することはない。このため、2つの記憶ノード配線層の間隔をフォトリソグラフィの解像限界以下で形成することが可能となる。したがって、この意味でも、比較例1よりも、セル面積の縮小化が容易である。

【0127】このように、本実施形態では、先の実施形態が有する種々の利点に加え、記憶ノード配線層のピッチが緩和され、また、2つの記憶ノード配線層の間隔をフォトリソグラフィの解像限界以下で形成することが可能となり、そのぶんセル面積の縮小化が容易であるといった利点がある。

【0128】

【発明の効果】以上説明してきたように、本発明に係る半導体記憶装置によれば、異なる導電型の能動領域をチャネル電流方向が平行となるように配置し、かつチャネル電流方向のセル間で分離されている。また、当該能動領域にゲート電極パターンを全て直交させている。これにより、ゲート電極パターンのアライメントずれによってセル内のトランジスタサイズが殆ど変化しない、或い

は変化しても一律に変化させることができる。これは、本発明をSRAMセルに適用した場合、そのインバータ特性が変化しないためデータ保持特性等のメモリセル特性について期待した特性が得られ、またメモリセルアレイ内、或いはチップ間で特性バラツキが低減される。この平行配置された能動領域およびゲート電極のパターン形成時に位相シフト法の適用が容易化され、この超高解像度パターン形成技術によって、高集積、大容量の半導体記憶装置が実現できる。

【0129】電源電圧供給線を溝配線により形成したことにより、その低抵抗化が容易となる。電源電圧供給線の一方を溝配線、他方を上層配線層で構成しても、電源電圧供給線の配線抵抗の低減は可能である。この電源電圧供給線を溝配線と同時に、ビット線接続配線層を溝配線で形成すると、多層配線構造が簡略化できる。また、電源電圧の供給を行うコンタクト構造を2層化することにより、例えば記憶ノード配線等がこのコンタクト部分に邪魔されずにすみ、その結果、セルサイズの縮小化が可能となる。さらに、2つの記憶ノード配線のエッチングマスク層を別々に形成する方法の適用によって、その配線ピッチが緩和され、また配線間を狭くすることによって、セルサイズの更なる縮小化が可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るpMOS負荷型のSRAMセルの回路図である。

【図2】本発明が適用可能な6トランジスタ型SRAMセルを説明するための図である。

【図3】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、能動領域の形成までを示す。

【図4】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図5】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第1のコンタクト形成までを示す。

【図6】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第2層目の配線層（記憶ノード配線層、電源線および共通電位線）の形成までを示す。

【図7】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第3層目の配線層（ビット線接続配線層）の形成までを示す。

【図8】本発明の第1実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第4層目の配線層（ビット線）の形成までを示す。

【図9】図5の工程における自己整合コンタクト孔の開孔後の拡大断面図である。

【図10】図5の工程におけるゲート線コンタクト孔の

10

20

30

40

50

開孔後の拡大断面図である。

【図11】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、能動領域の形成までを示す。

【図12】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図13】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第1のコンタクト形成までを示す。

【図14】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第2層目の配線層（電源線および共通電位線）の形成までを示す。

【図15】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第3層目の配線層（記憶ノード配線層）の形成までを示す。

【図16】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第4層目の配線層（ビット線接続配線層）の形成までを示す。

【図17】本発明の第2実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第5層目の配線層（ビット線）の形成までを示す。

【図18】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図19】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第1のコンタクト形成までを示す。

【図20】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による電源電圧供給線（電源線および共通電位線）の形成までを示す。

【図21】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図22】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図23】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目の配線層（ビット線接続配線層）の形成までを示す。

【図24】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第4層目のプラグ形成までを示す。

【図25】本発明の第3実施形態に係るSRAMセルの各製造過程のパターン図であり、第4層目の配線層（ビット線）の形成までを示す。

【図26】第3実施形態の変形例を示す第2層目の埋込

導電層（溝配線）形成後のパターン図である。

【図27】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図28】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、第1のコンタクト形成までを示す。

【図29】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による電源電圧供給線（電源線および共通電位線）の形成までを示す。

【図30】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図31】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図32】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、従来例について第3層目の配線層（電源線および共通電位線）の形成までを示す。

【図33】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、従来例について第4層目のプラグ形成までを示す。

【図34】本発明の第4実施形態に係るSRAMセルの各製造過程のパターン図であり、ビット線の形成までを示す。

【図35】第4実施形態の変形例1を示す第2層目の埋込導電層（溝配線）形成後のパターン図である。

【図36】第4実施形態の変形例2を示す第2層目の埋込導電層（溝配線）形成後のパターン図である。

【図37】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図38】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、第1のコンタクト形成までを示す。

【図39】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による電源電圧供給線（電源線および共通電位線）の形成までを示す。

【図40】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図41】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図42】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、従来例について第3層目の配線層（電源線および共通電位線）の形成までを示す。

す。

【図43】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、従来例について第4層目のプラグ形成までを示す。

【図44】本発明の第5実施形態に係るSRAMセルの各製造過程のパターン図であり、ビット線の形成までを示す。

【図45】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、ゲート電極パターン（ワード線および共通ゲート線）の形成までを示す。

【図46】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、第1のコンタクト形成までを示す。

【図47】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による電源電圧供給線（電源線および共通電位線）の形成までを示す。

【図48】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図49】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図50】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、従来例について第3層目の配線層（電源線および共通電位線）の形成までを示す。

【図51】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、従来例について第4層目のプラグ形成までを示す。

【図52】本発明の第6実施形態および変形例1に係るSRAMセルの各製造過程のパターン図であり、ビット線の形成までを示す。

【図53】第6実施形態の変形例2を示す第2層目の埋込導電層（溝配線）形成後のパターン図である。

【図54】第6実施形態の変形例3を示す第2層目の埋込導電層（溝配線）形成後のパターン図である。

【図55】本発明の第7実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による電源電圧供給線（電源線、共通電位線およびビット線接続配線層）の形成までを示す。

【図56】本発明の第7実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図57】本発明の第7実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図58】本発明の第7実施形態に係るSRAMセルの

各製造過程のパターン図であり、ビット線の形成までを示す。

【図59】本発明の第8実施形態に係るSRAMセルの製造過程のパターン図であり、第3層目の配線層（共通電位線およびビット線接続配線層）の形成までを示す。

【図60】図59に示すSRAMセルの断面図である。

【図61】第8実施形態の変形例を示す同パターン図である。

【図62】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第1のコンタクト形成までを示す。

【図63】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の層間絶縁層に埋込形成された溝配線による配線（電源線および内部接続用配線）の形成までを示す。

【図64】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第2層目の配線層（記憶ノード配線層）の形成までを示す。

【図65】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目のプラグ形成までを示す。

【図66】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第3層目の配線層（共通電位線）の形成までを示す。

【図67】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、第4層目のプラグ形成までを示す。

【図68】本発明の第9実施形態に係るSRAMセルの各製造過程のパターン図であり、ビット線の形成までを示す。

【図69】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第1のコンタクト形成までを示す。

【図70】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第2層目の配線（記憶ノード配線層）を形成する際の成膜までを示す。

【図71】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第1の記憶ノード配線パターンにて行うエッチング保護膜加工用のフォトレジストパターン形成までを示す。

【図72】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、同エッチング保護膜のパターンニングまでを示す。

【図73】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第2の記憶ノード配線パターンにて行う導電膜加工用のフォトレジストパターン形成までを示す。

【図74】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、同導電

膜のパターンニングまでを示す。

【図75】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第3層目のプラグ形成までを示す。

【図76】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第3層目の配線層（共通電位線等）の形成までを示す。

【図77】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、第4層目のプラグ形成までを示す。

【図78】本発明の第10実施形態に係るSRAMセルの各製造過程のパターン図および断面図であり、ビット線の形成までを示す。

【図79】第10実施形態のSRAMセルのデザインルールおよびセルサイズを、2つの比較例とともに示す説明図である。

【図80】従来技術1に係るpMOS負荷型SRAMセルの配置パターン例を示す平面図である。

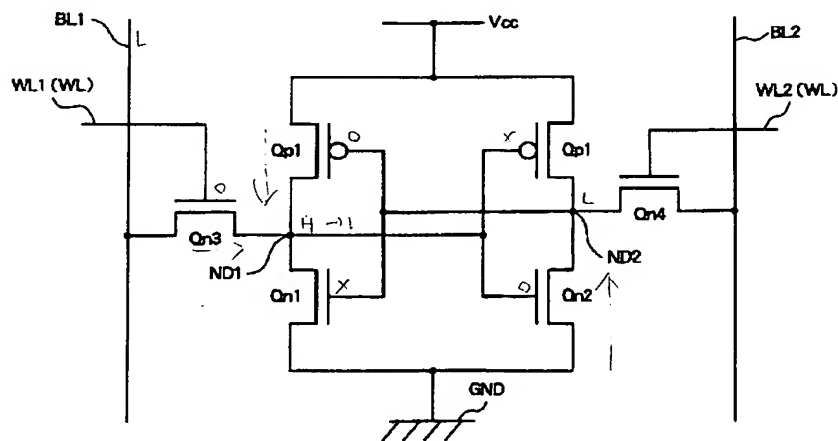
【図81】従来技術2に係るpMOS負荷型SRAMセルの配置パターン例を示す平面図である。

【符号の説明】

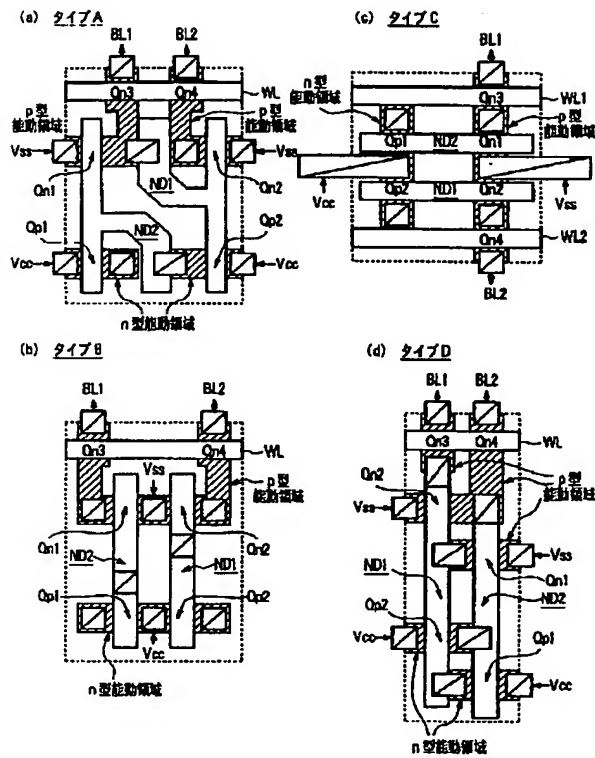
1, 40, 60, 60', 70, 70-1, 70-2, 110, 140, 140-1, 140-2, 140-3, 180, 190, 190', 200, 200', 200-1, 200-1', 210…pMOS負荷型SRAMセル、2…半導体基板、4…素子分離領域、6, 62, 72a, 72b, 104a, 104b, 140…p型能動領域（第1の能動領域）、7, 64, 74a, 74b, 106a, 106b 144…n型能動領域（第2の能動領域）、8…ゲート酸化膜、9…ポリシリコン膜、10…WSix 30

膜、12…オフセット絶縁膜、14…n⁺不純物領域、16…p⁺不純物領域、18…窒化シリコン膜（第1の層間絶縁膜）、20…酸化シリコン膜（第1の層間絶縁膜）、22a~28b, 78a~86b, 122, 124, 148a~152b, 158a, 158b…第1層目のコンタクト、30a, 30b, 50a, 50b, 96a, 96b, 128a, 128b, 170, 170b, 174a, 174b…記憶ノード配線層、31a~31c, 168a, 168b, 202…ランディングパッド層、32…第2の層間絶縁膜、34a, 34b, 46a~48b, 88a~92b, 132, 134, 160a~166b…第2層目のプラグ、36a, 36b, 182…ビット線接続配線層、38…第3の層間絶縁膜、39a, 39b, 52a~52c, 98a, 98b, 172a, 172b, 194, 198…第3層目のプラグ、42, 44, 100a~102b, 154, 156…第1層目の溝配線（溝配線からなる埋込導電層）、54…第4の層間絶縁膜、56a, 56b, 98a, 98b…第4層目のプラグ、192, 196…内部接続用の第2層目の溝配線、204…ワード線裏打ち配線、212…導電膜、212a…第1の記憶ノード配線、212b…第2の記憶ノード配線、214…エッチング保護膜、214a…エッチングマスク層、216, 218…フォトリソパターン、WL1, WL2…ワード線、GL1, GL2, 76a, 76b, 116a, 116b, 146a, 146b…共通ゲート線、BL1, BL2…ビット線、Qn1, Qn1…駆動トランジスタ、Qn3, Qn4…ワードトランジスタ、Qp1, Qp1…負荷トランジスタ。

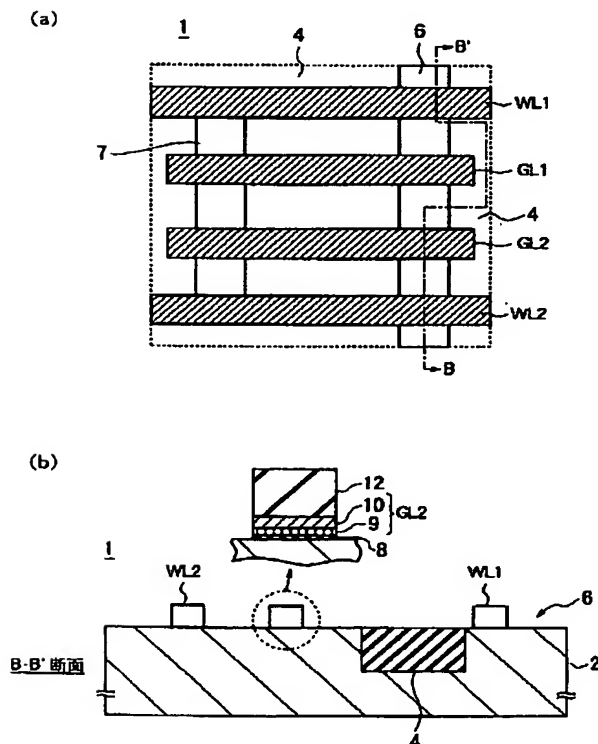
【図1】



【図2】

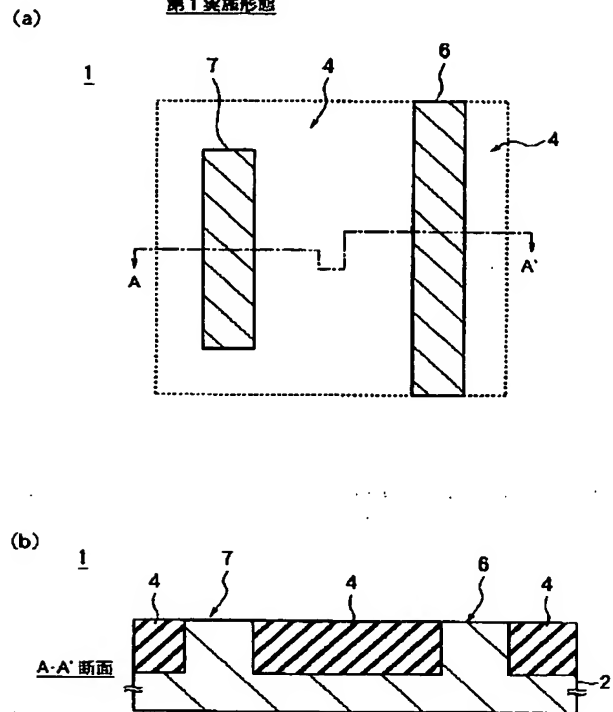


【図4】

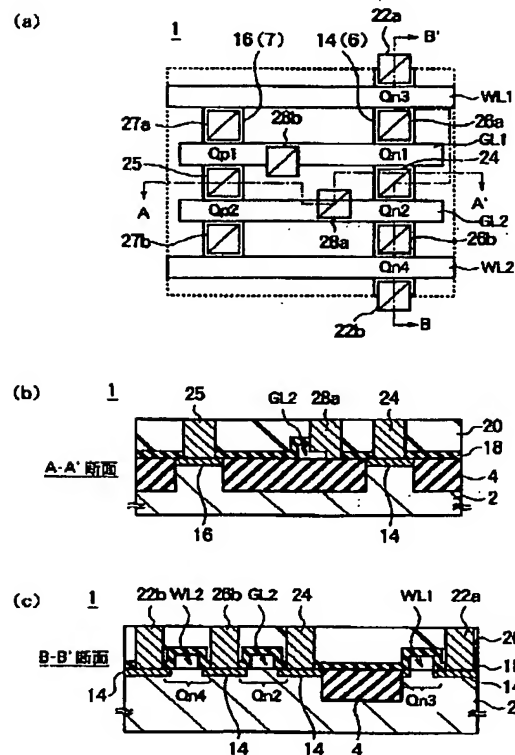


【図3】

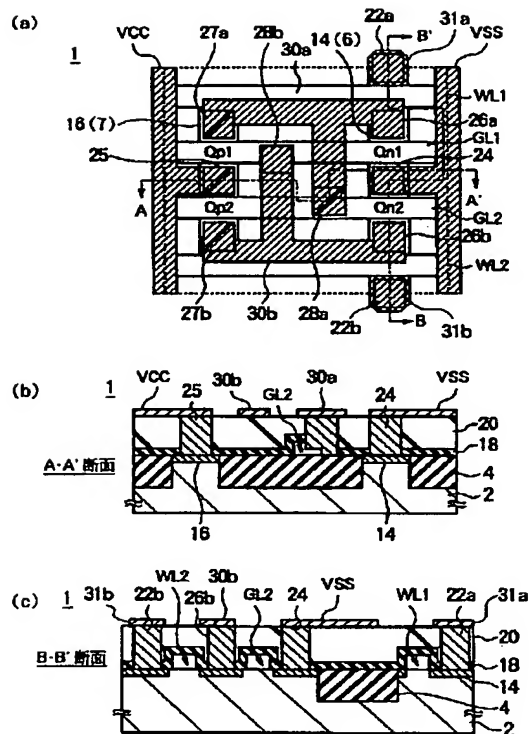
第1 实施形態



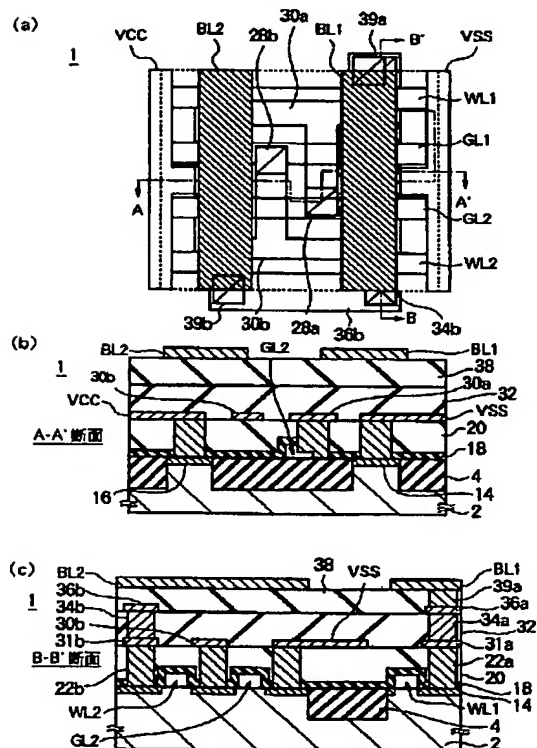
【図5】



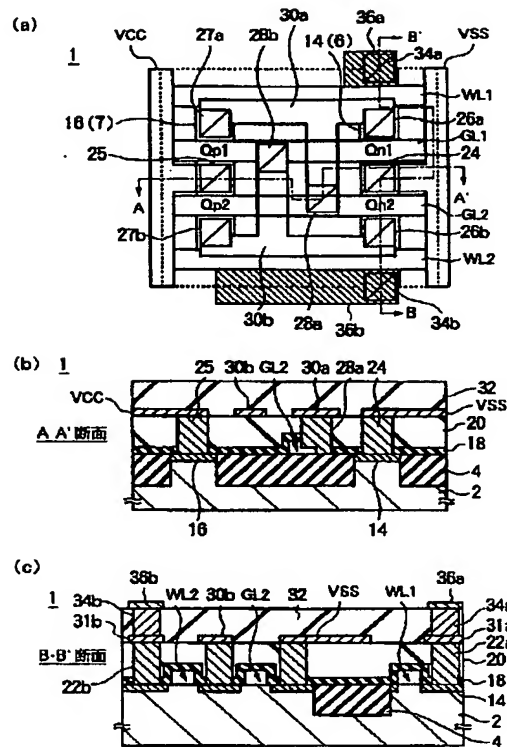
【図6】



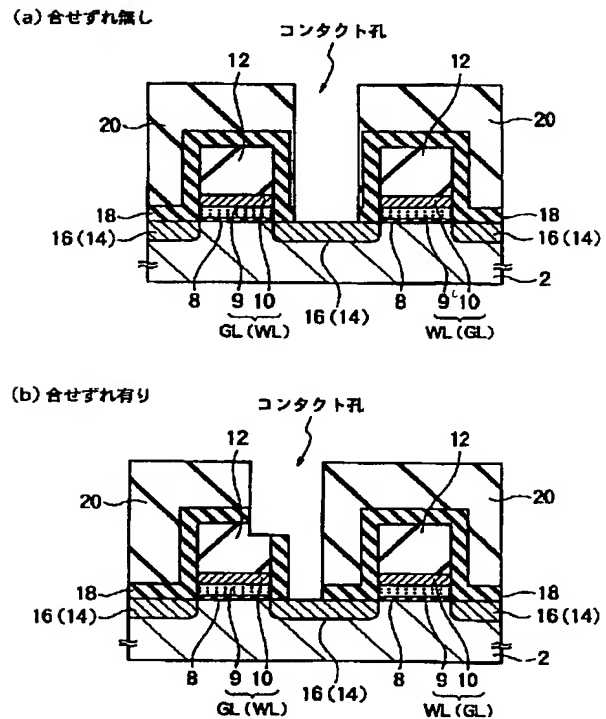
【図8】



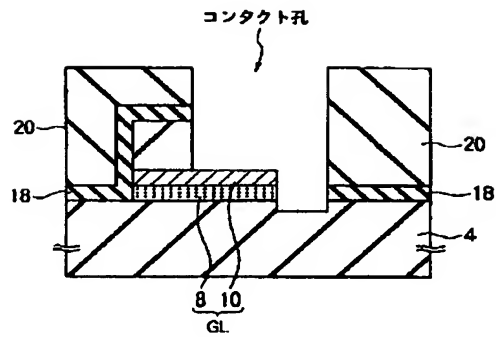
【図7】



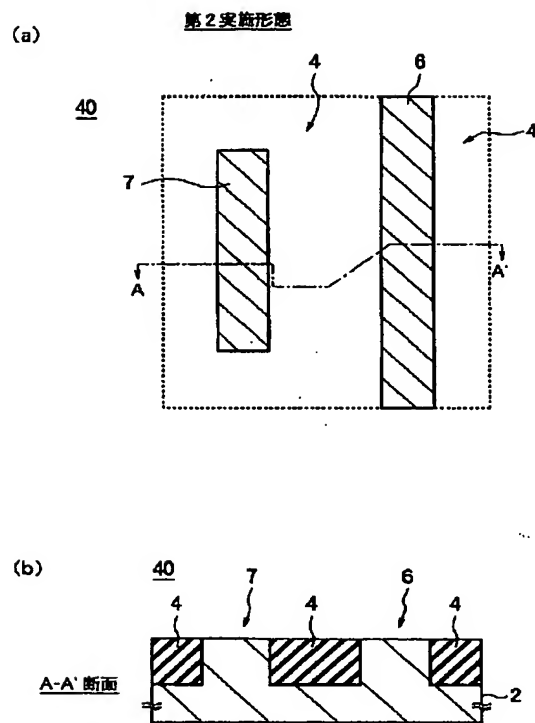
【図9】



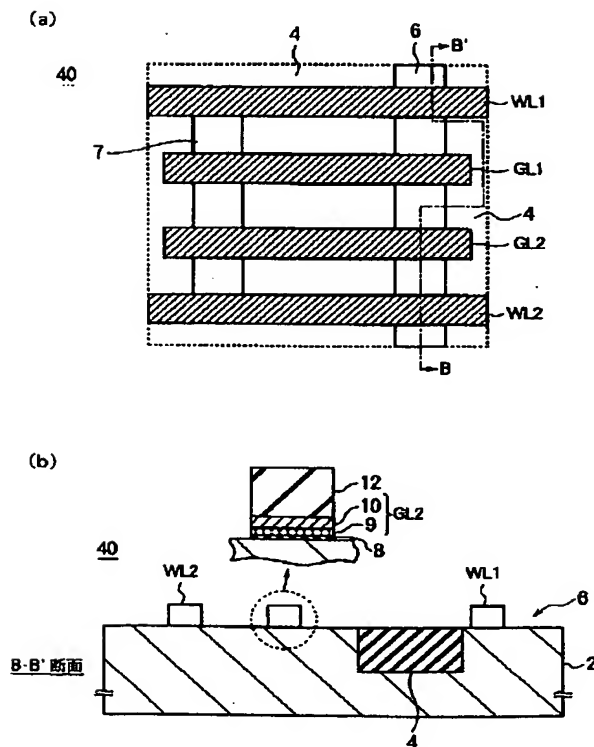
【図10】



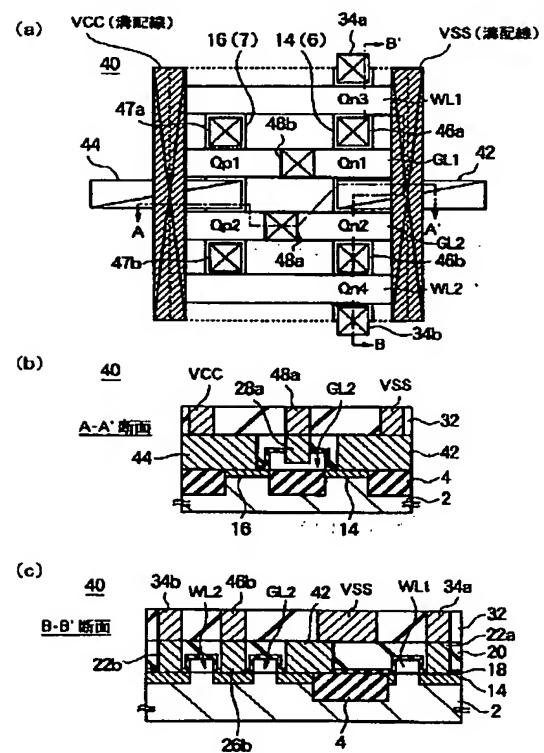
【图 1-1】



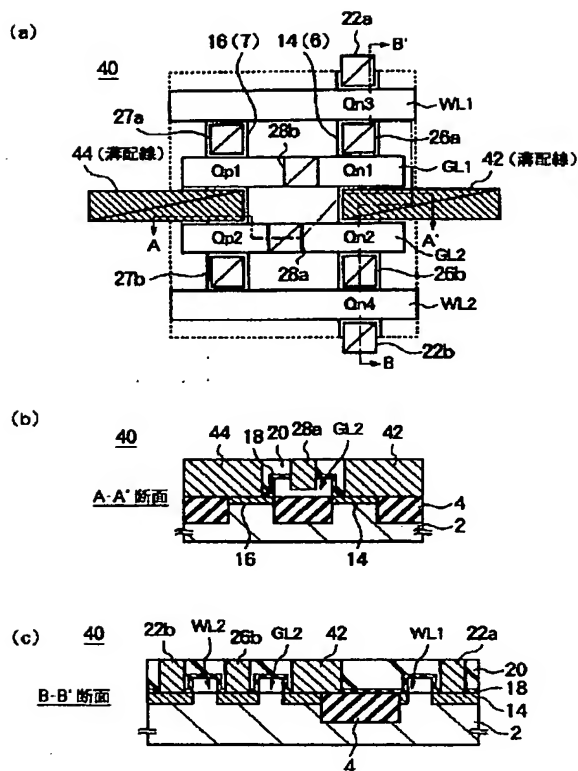
【図12】



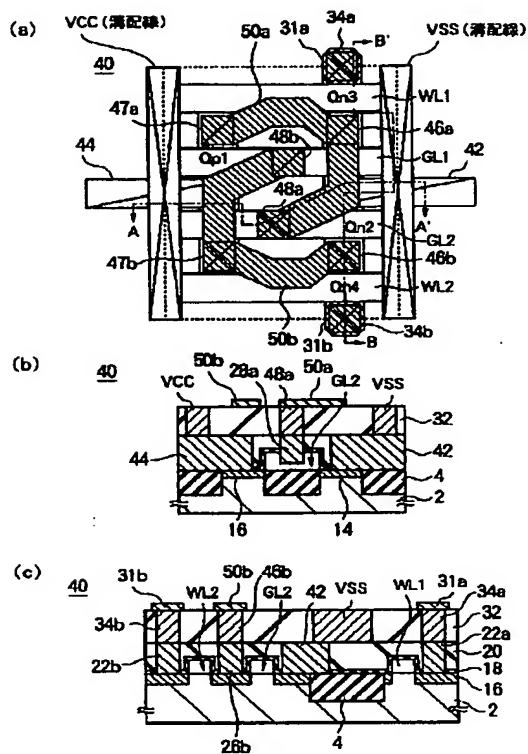
【图 14】



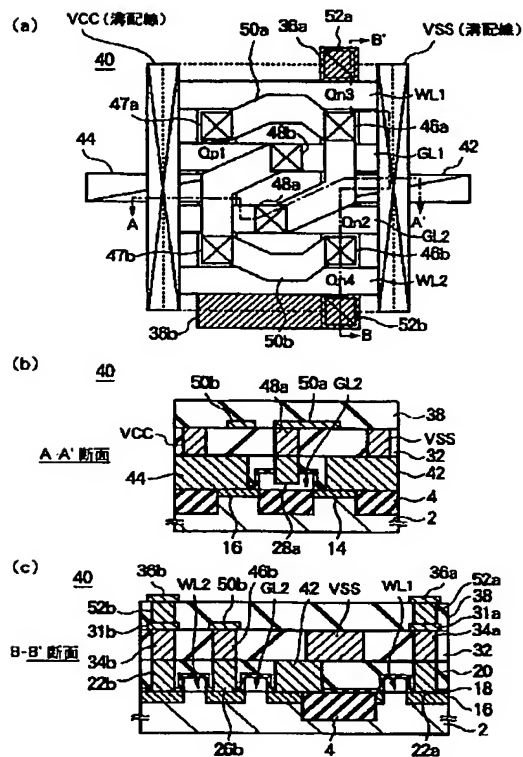
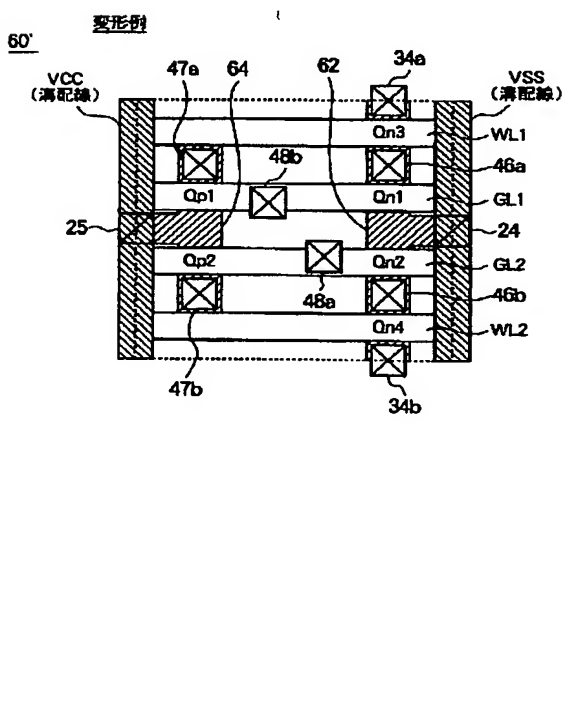
【图13】



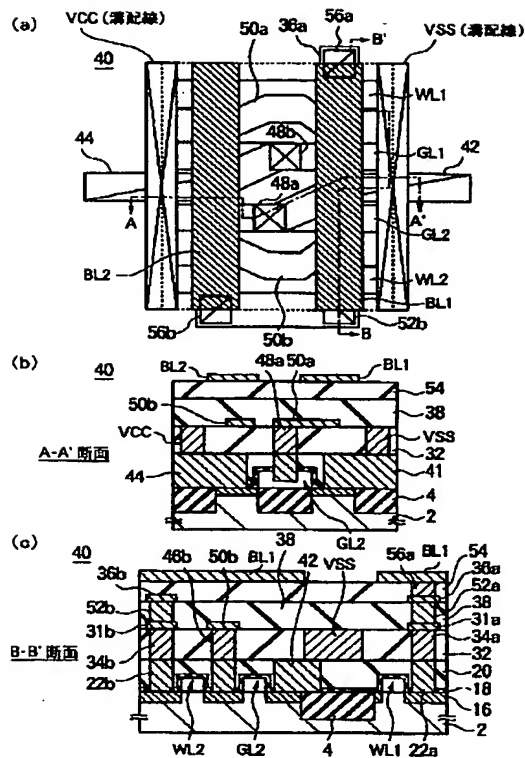
【图15】



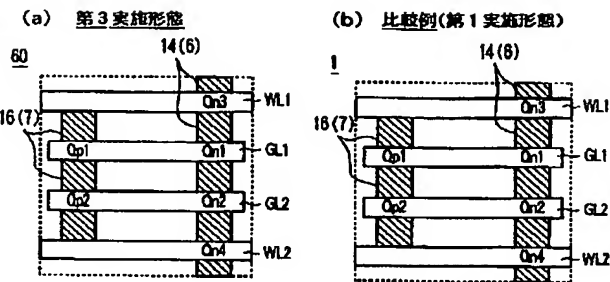
【图16】



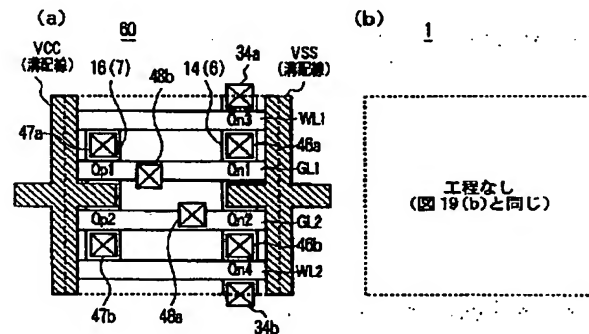
【図17】



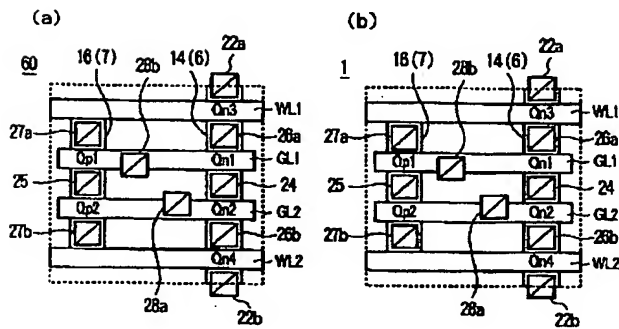
【図18】



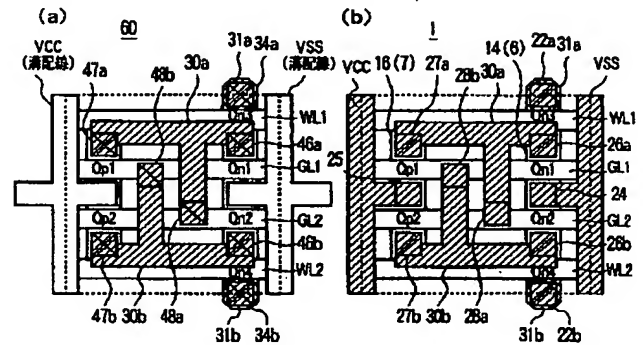
【図20】



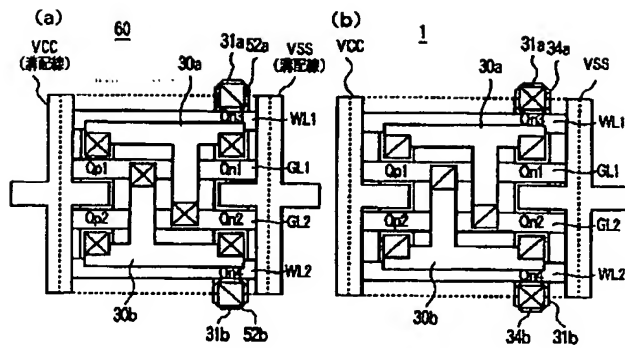
【図19】



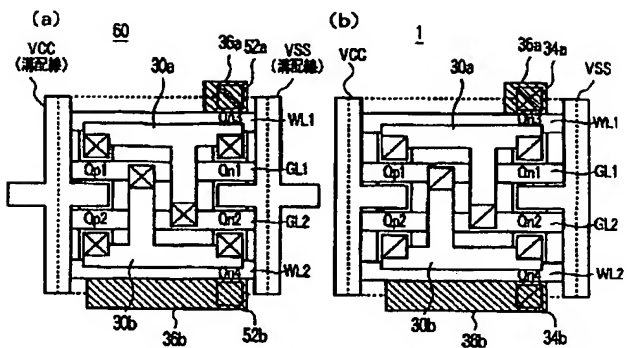
【図21】



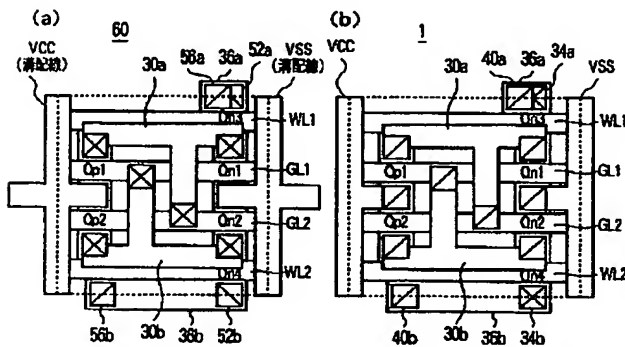
【図22】



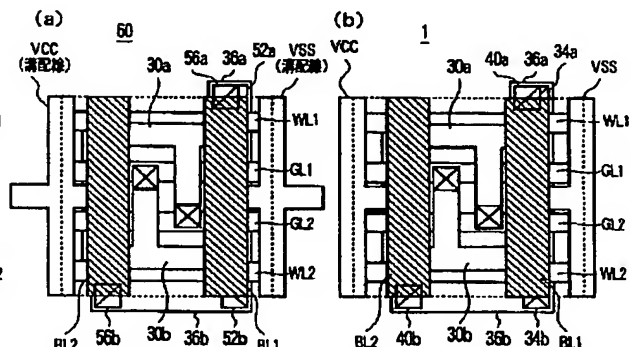
【図23】



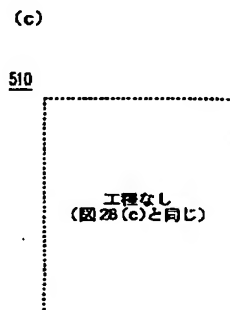
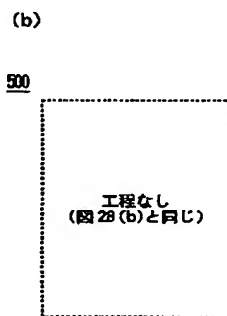
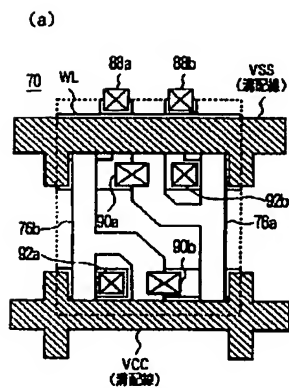
【図24】



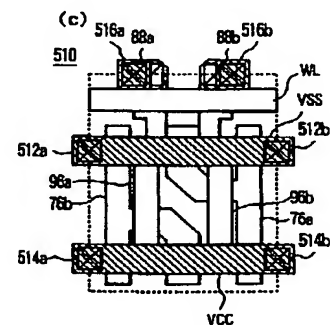
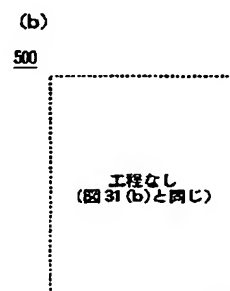
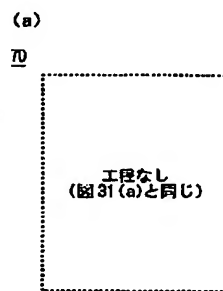
【図25】



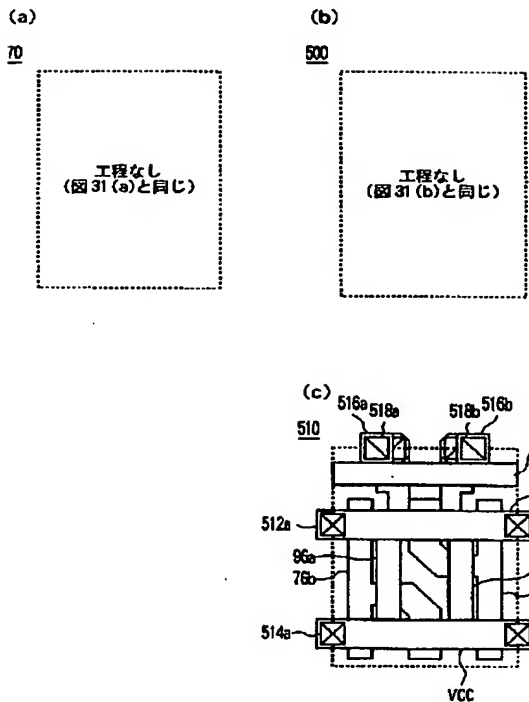
【図29】



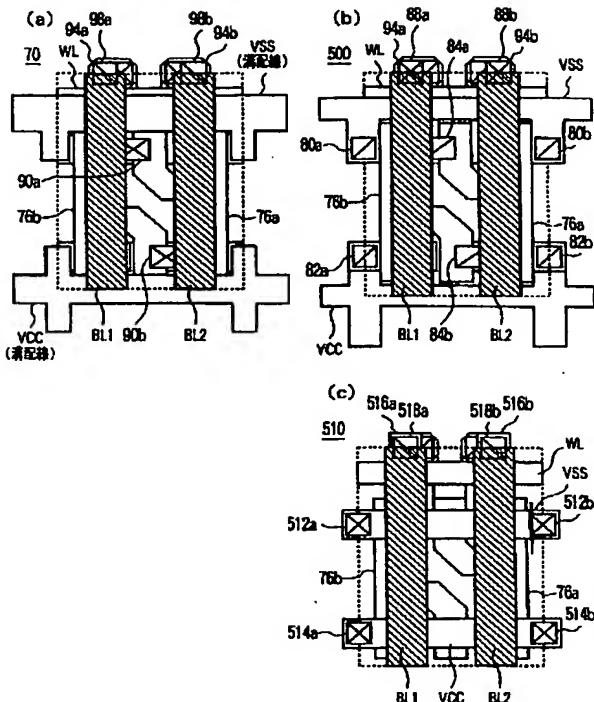
【図32】



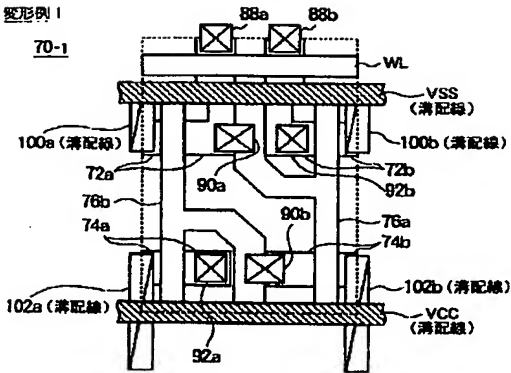
【図33】



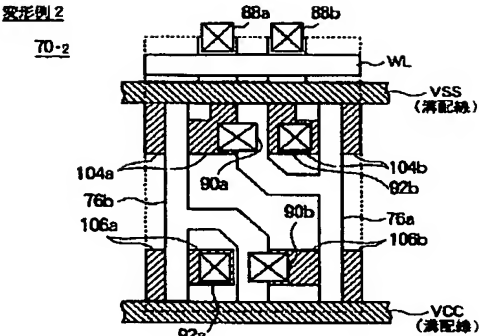
【図34】



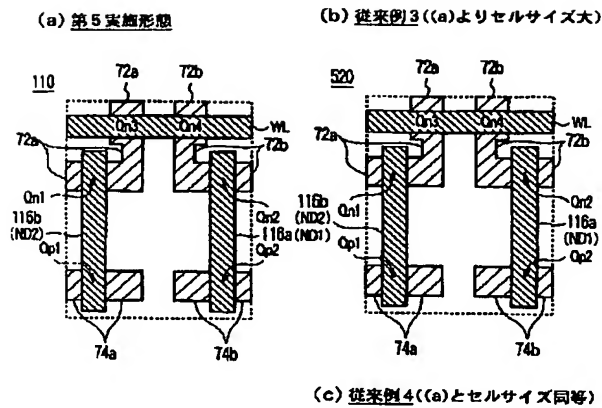
【図35】



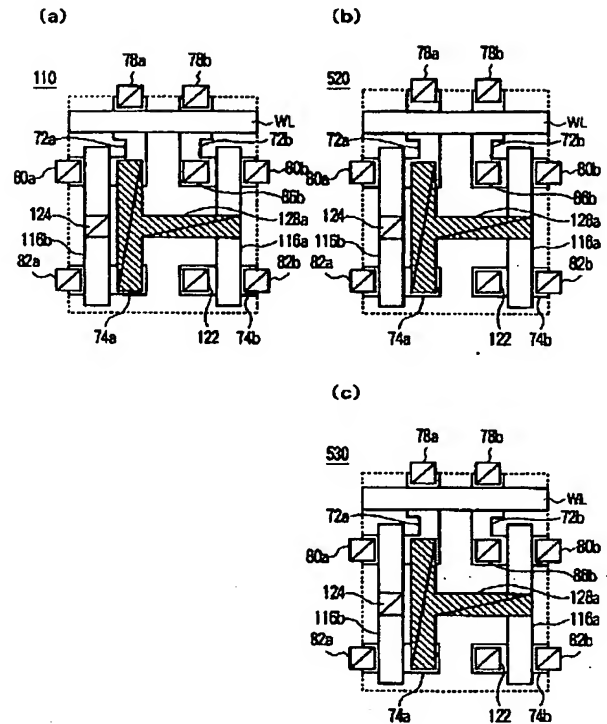
【図36】



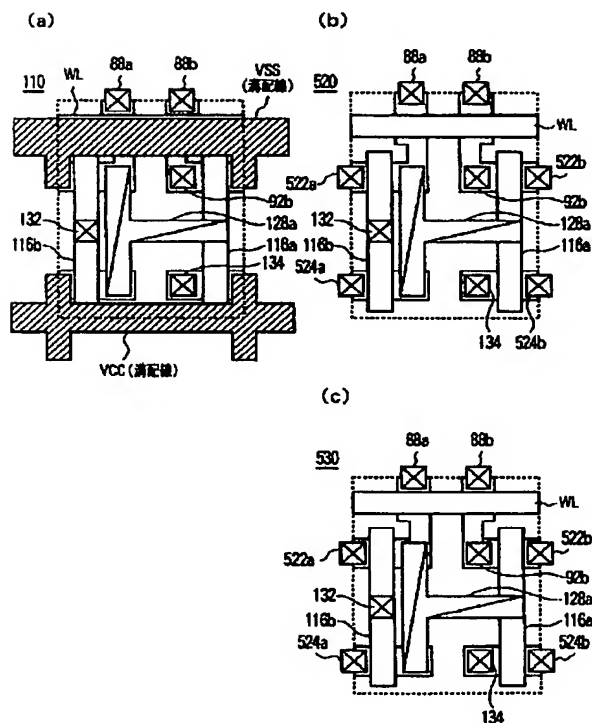
【図37】



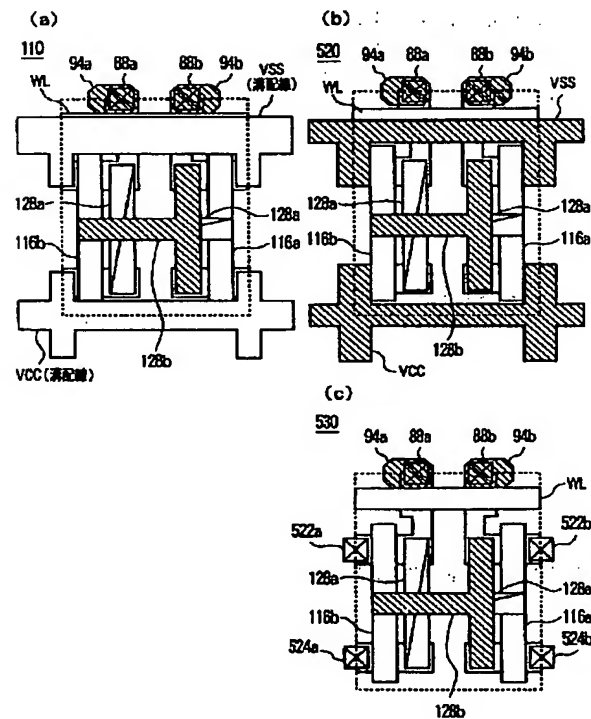
【図38】



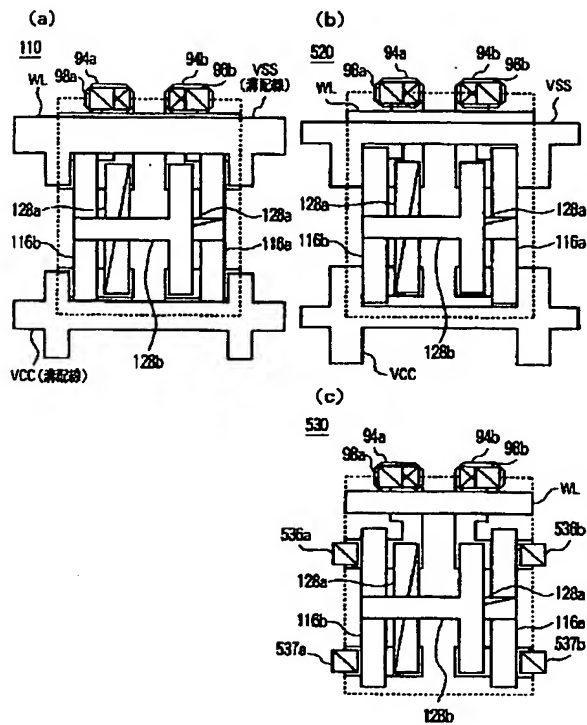
【図39】



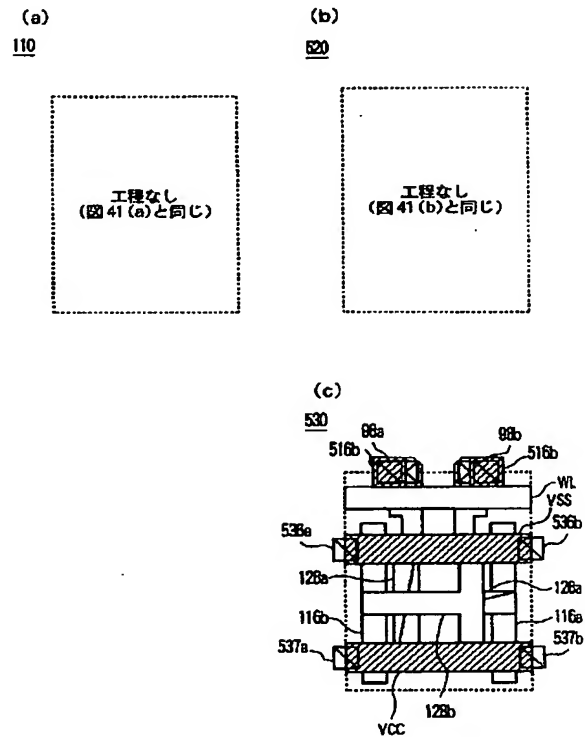
【図40】



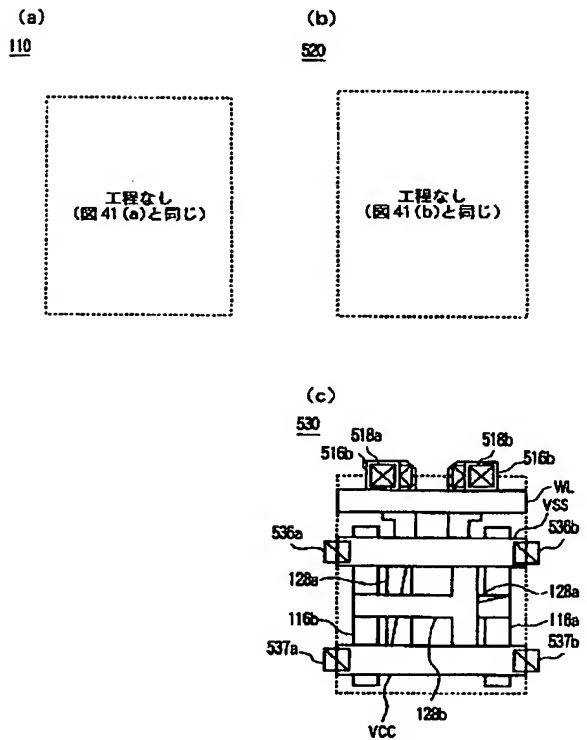
【図41】



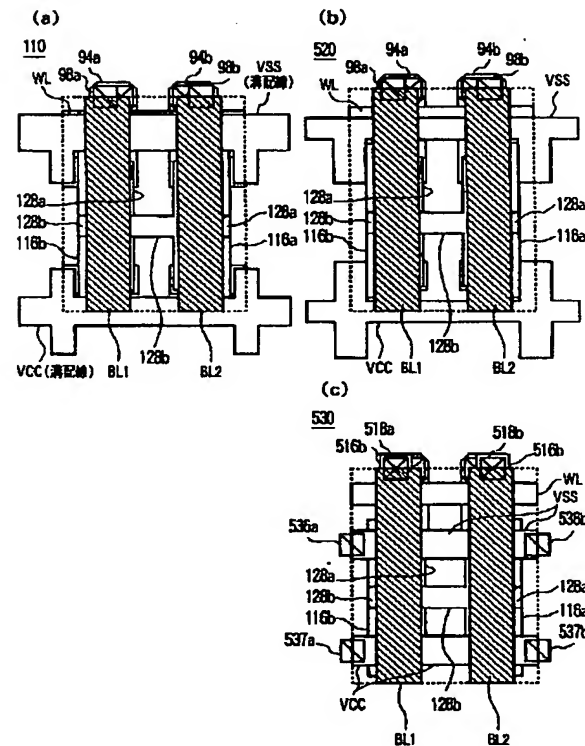
【図42】



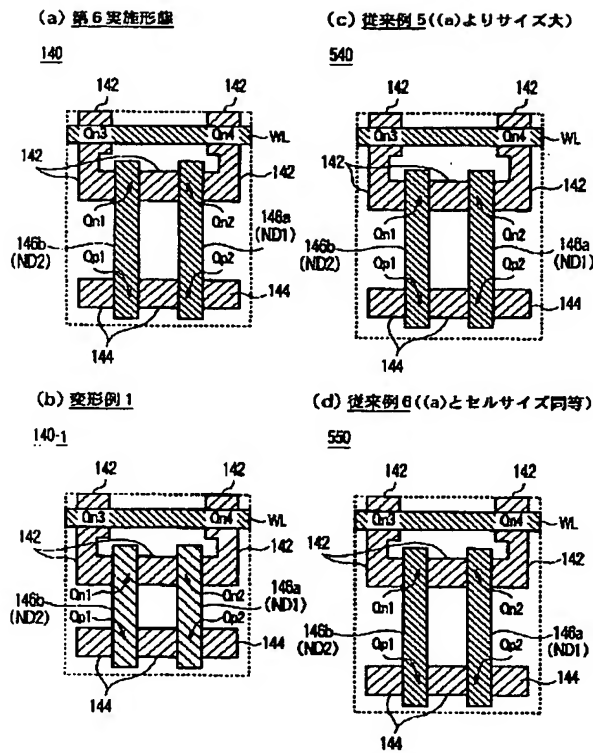
【図43】



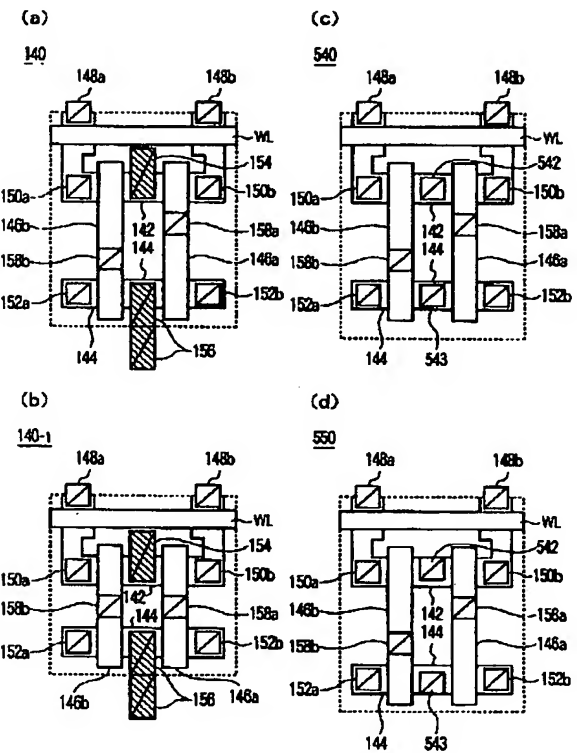
【図44】



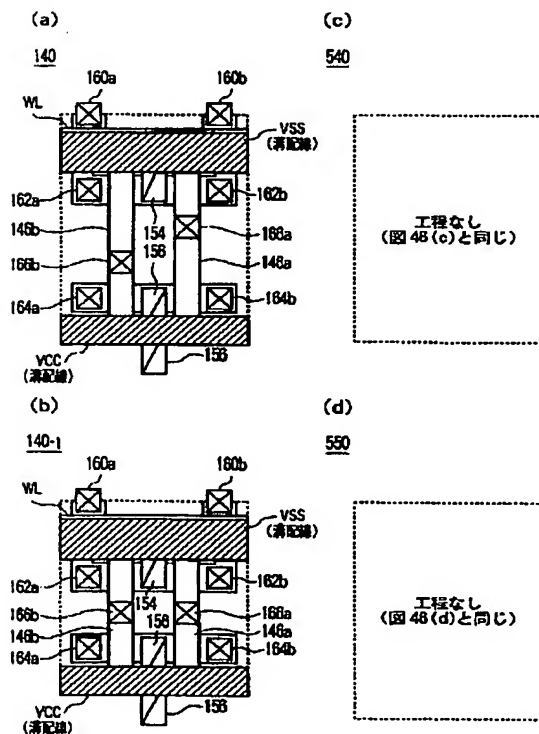
【図45】



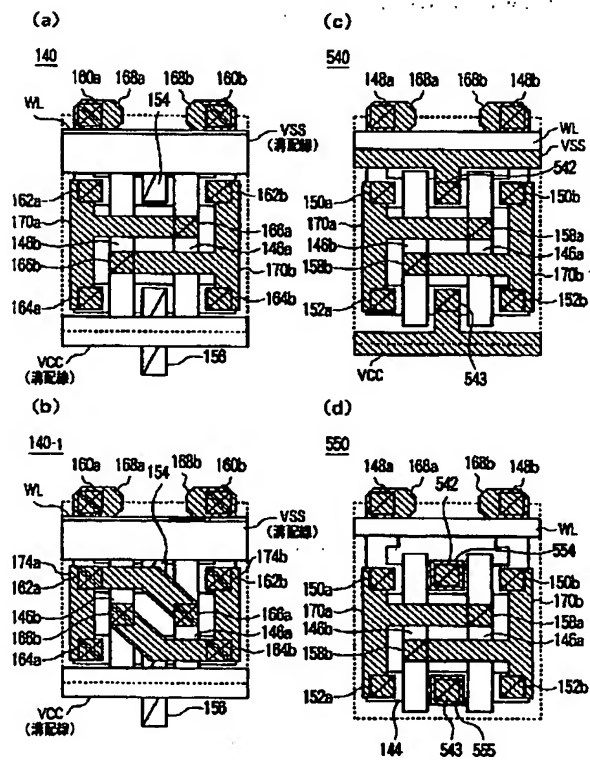
【図46】



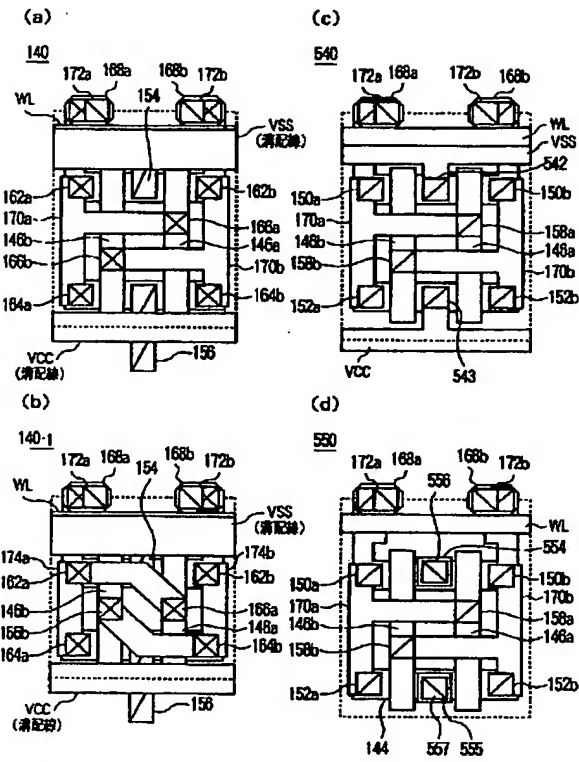
【図47】



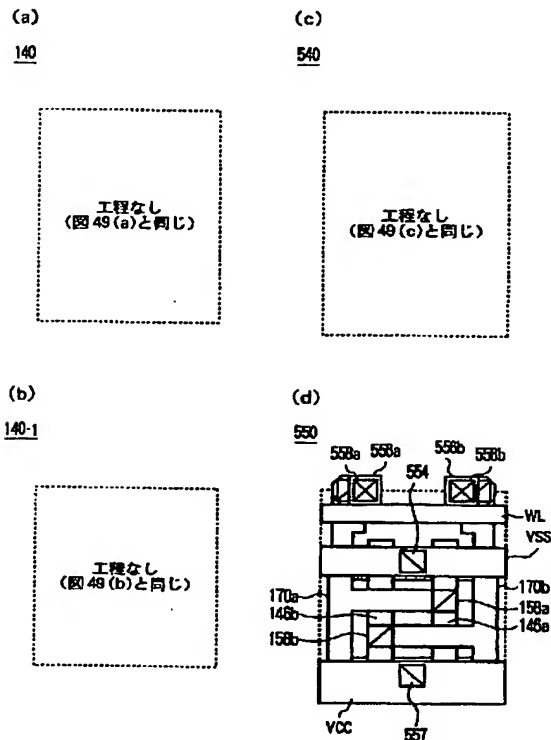
【図48】



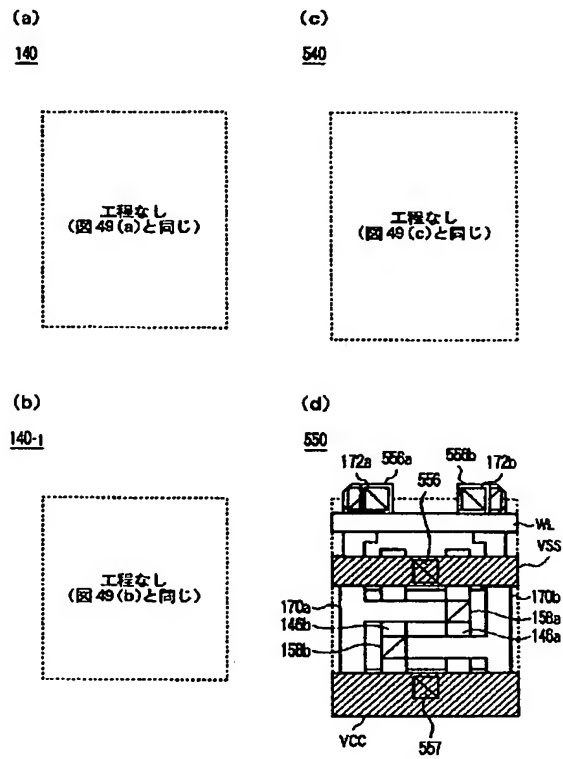
【図49】



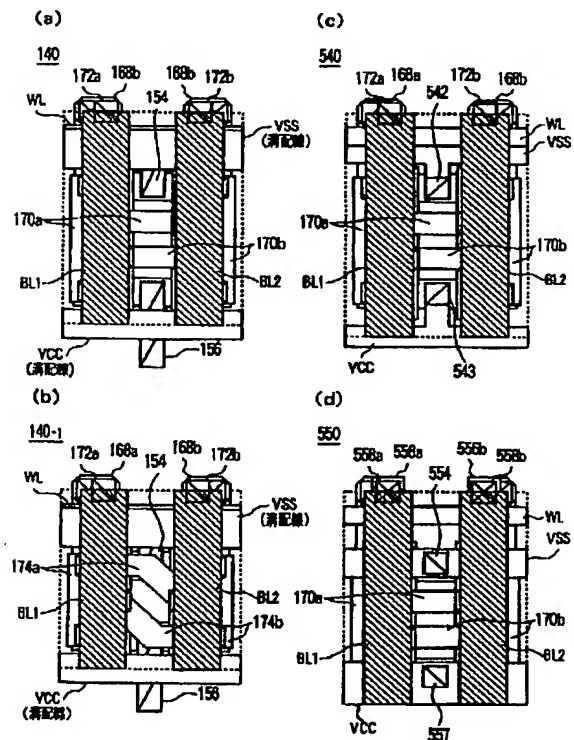
【図51】



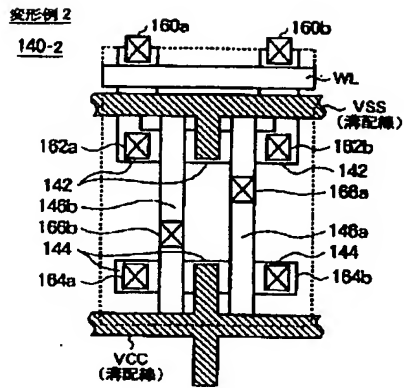
【図50】



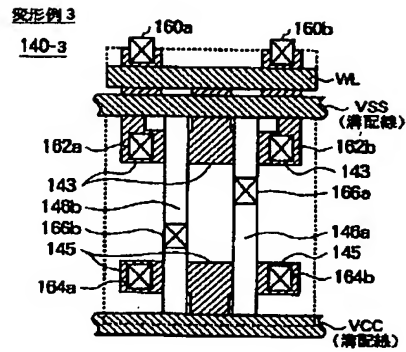
【図52】



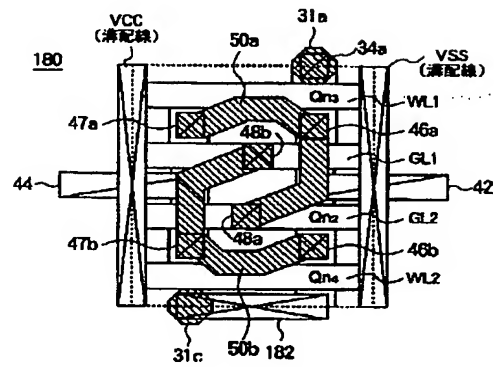
【図53】



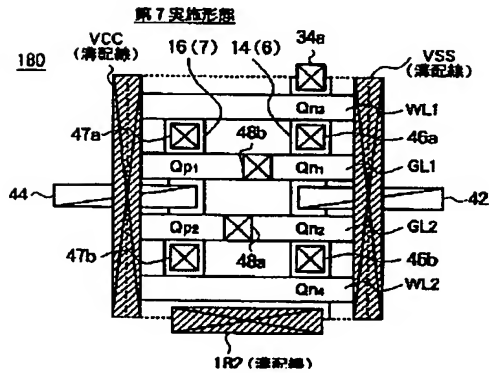
【図54】



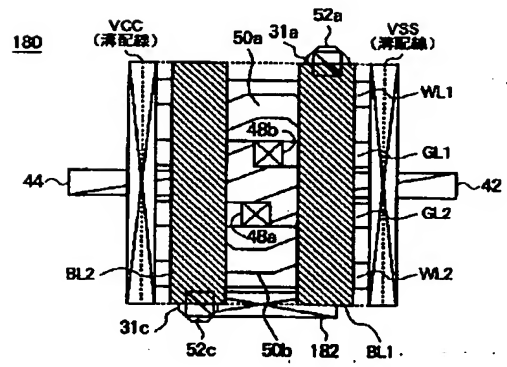
【図56】



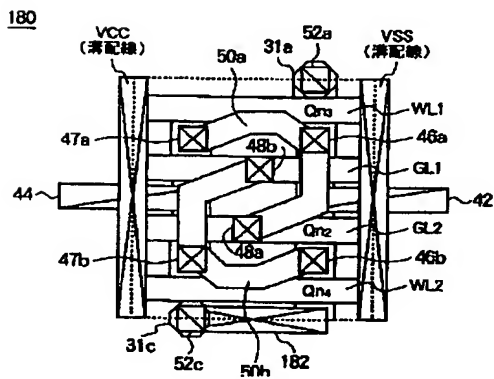
【図55】



【図58】

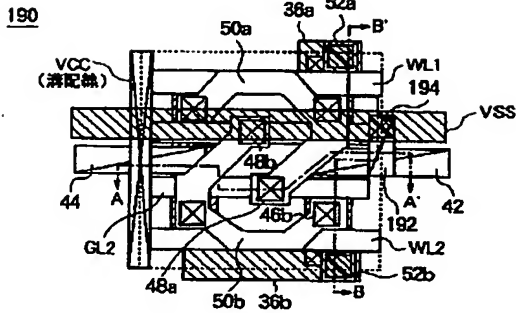


【図57】



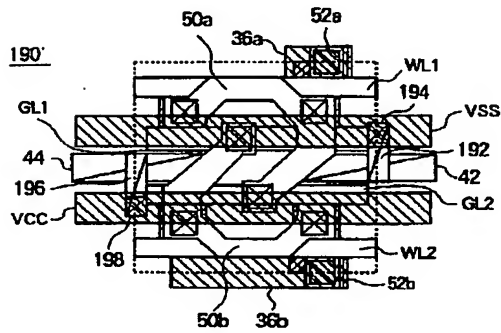
【図59】

第8実施形態

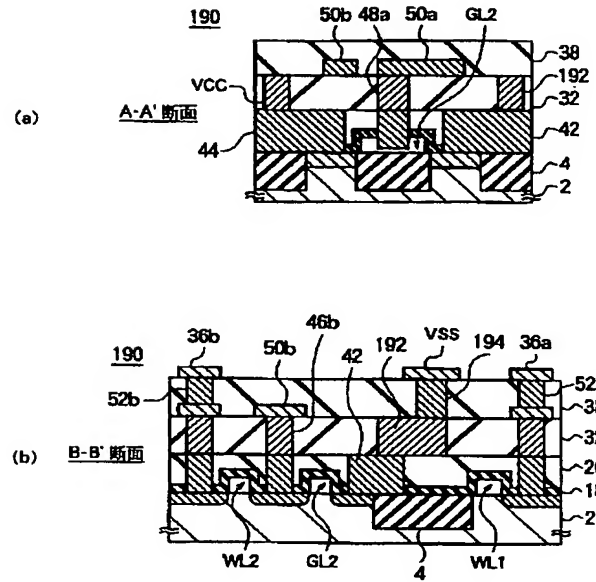


【図61】

変形例

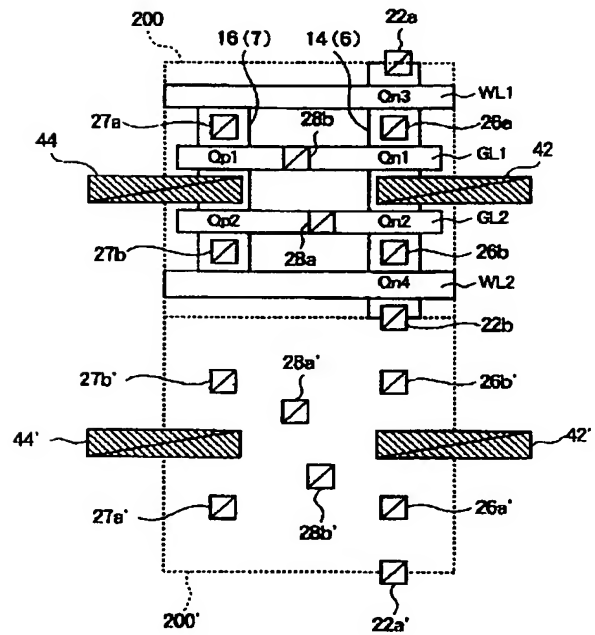


【図60】

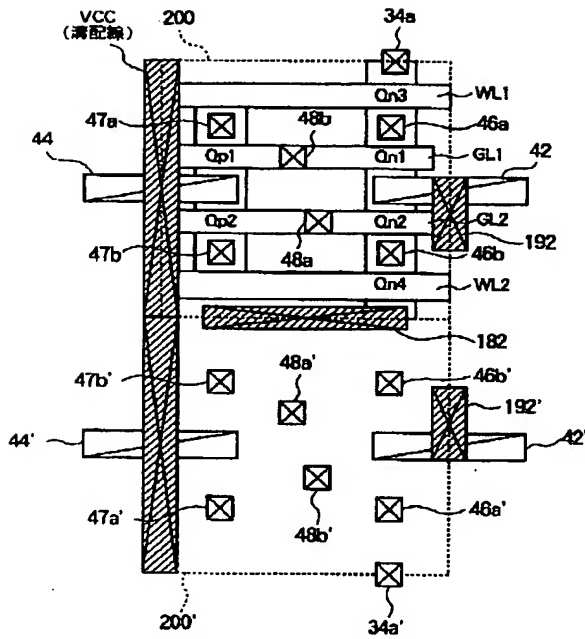


【図62】

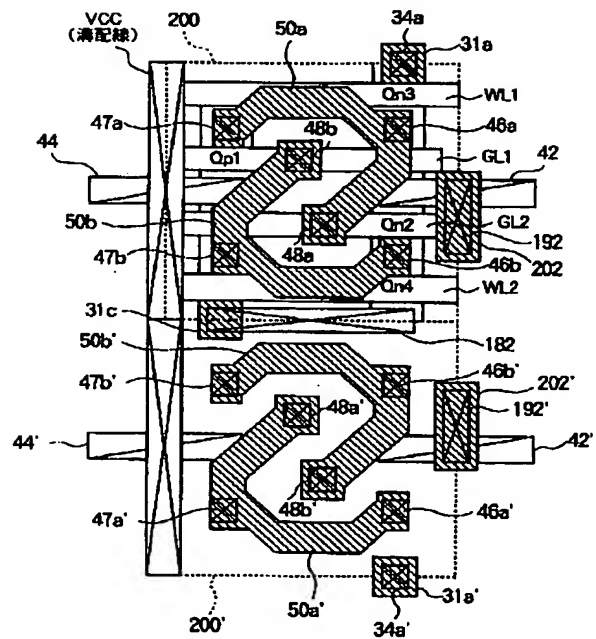
第9実施形態



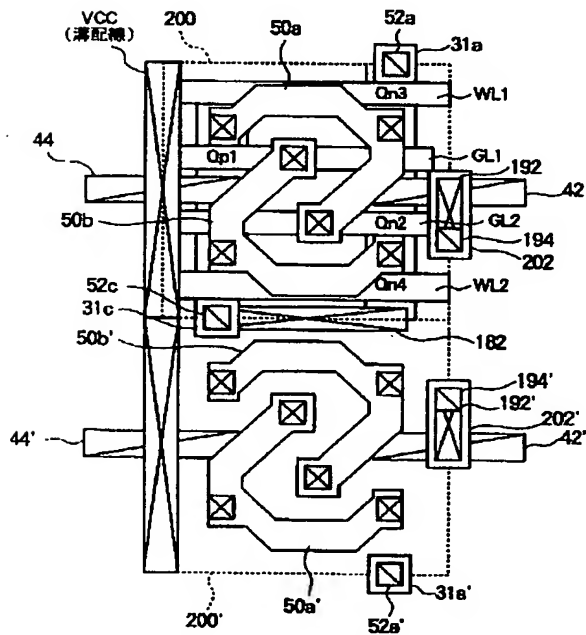
【図63】



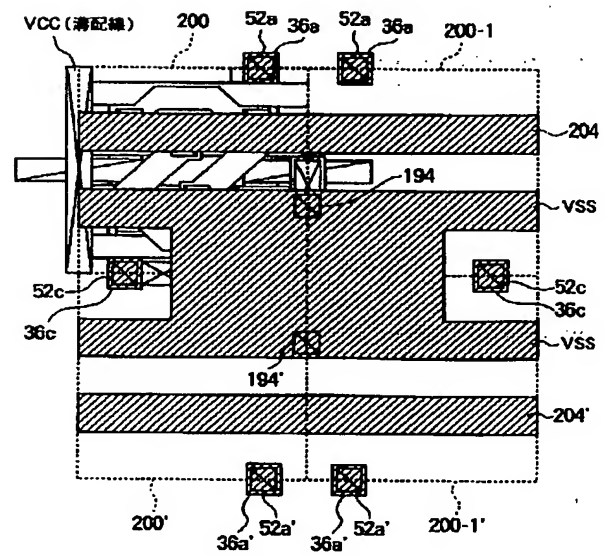
【図64】



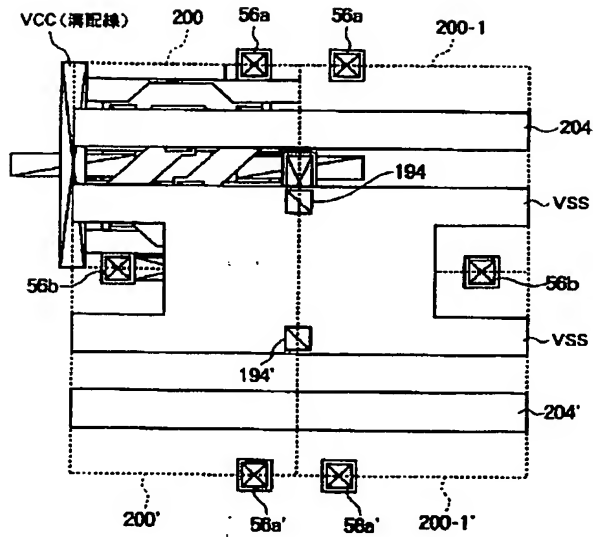
【図65】



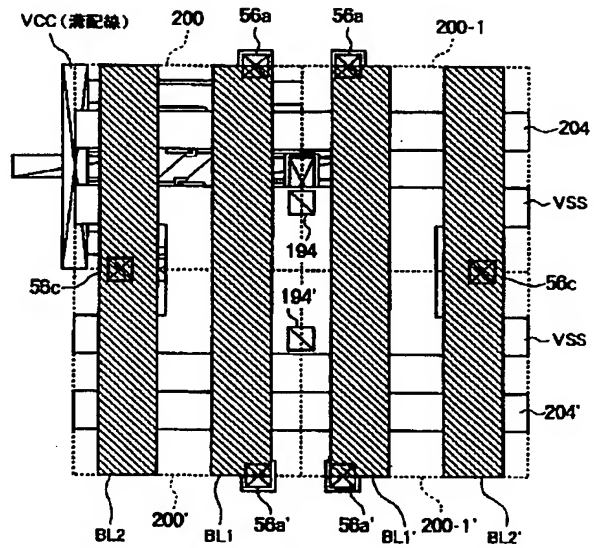
【図66】



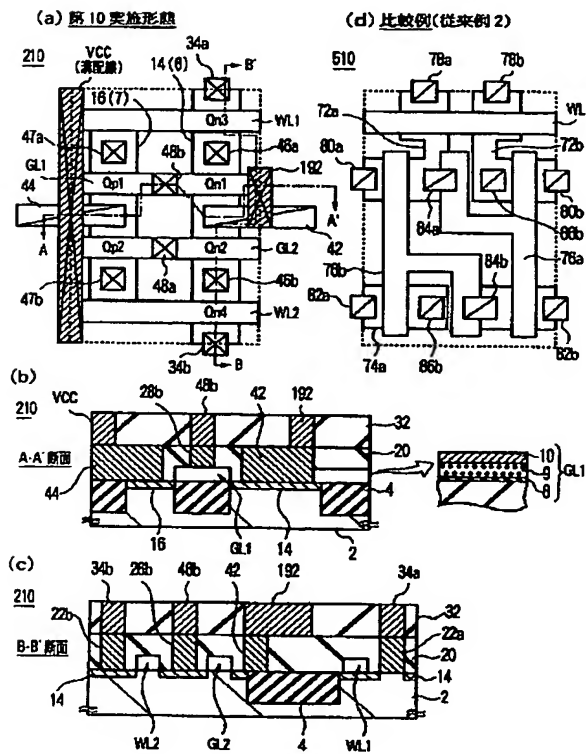
【図67】



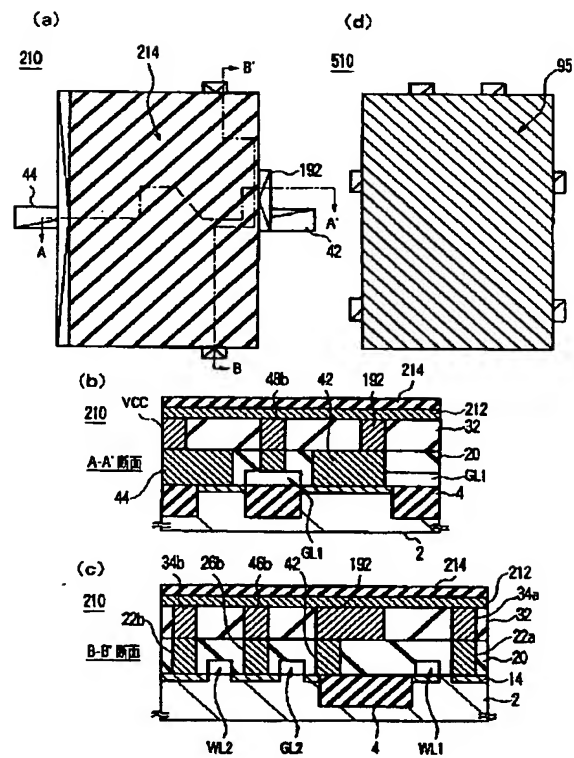
【図68】



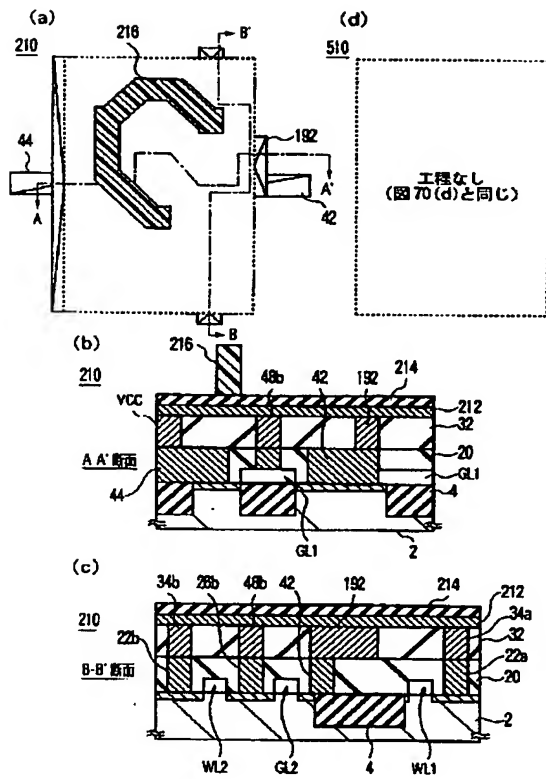
【図69】



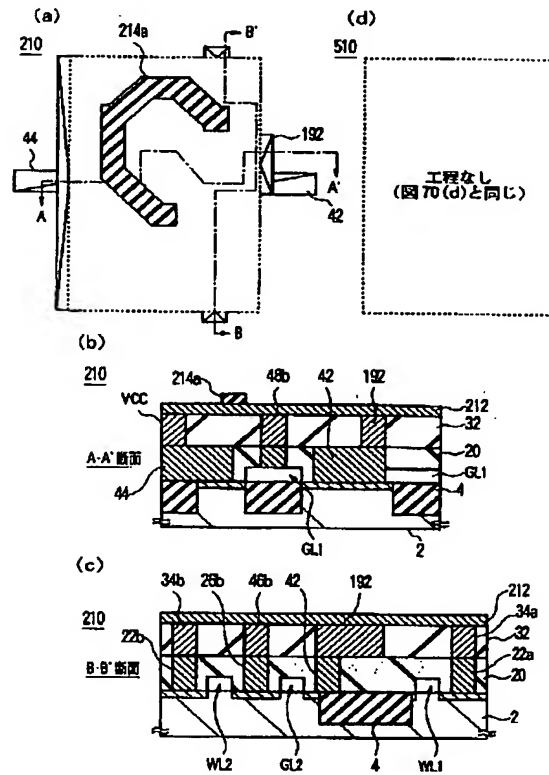
【図70】



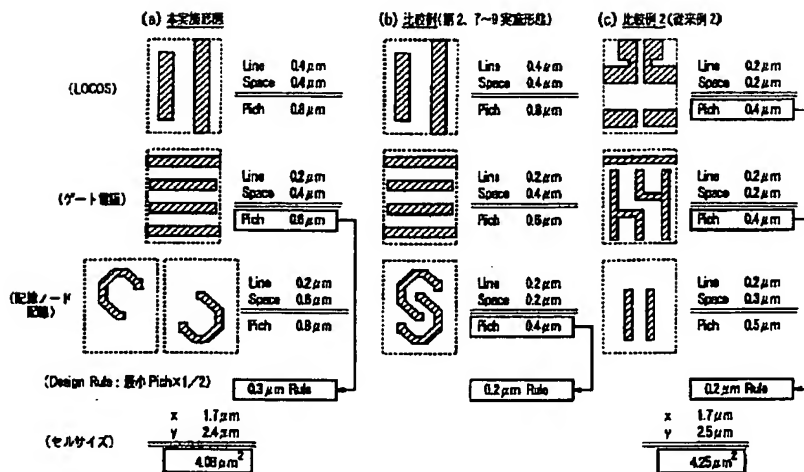
【図71】



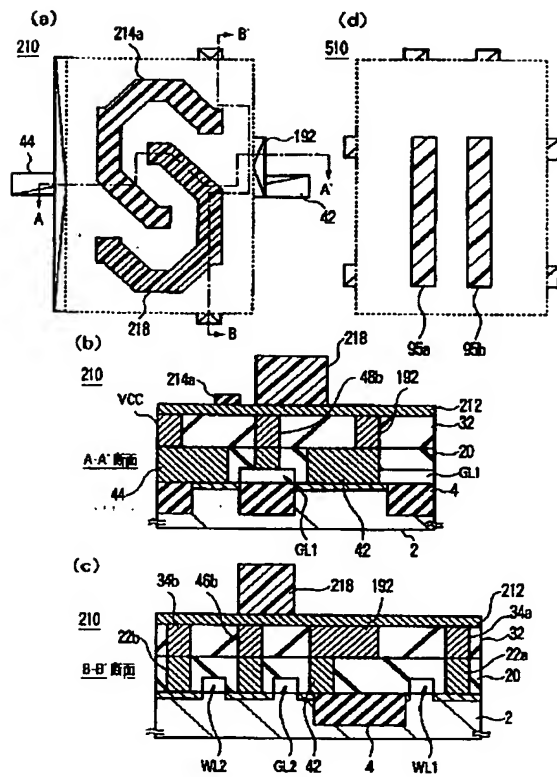
【図72】



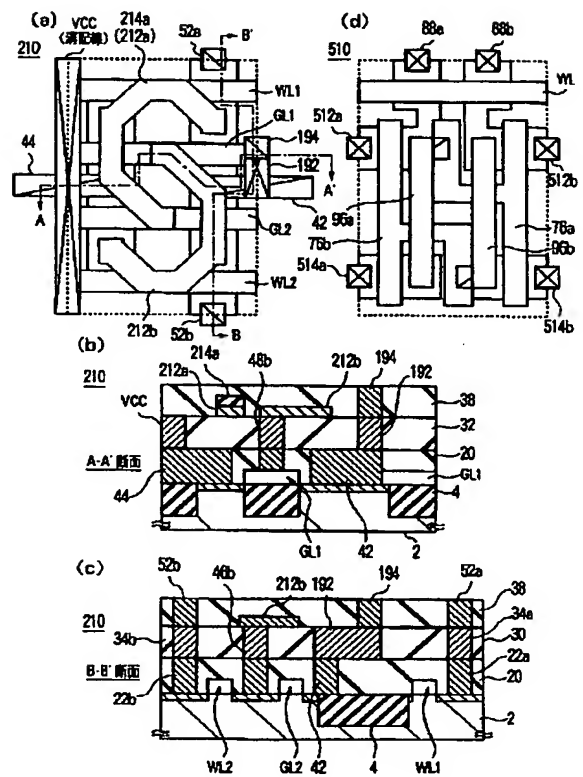
【図79】



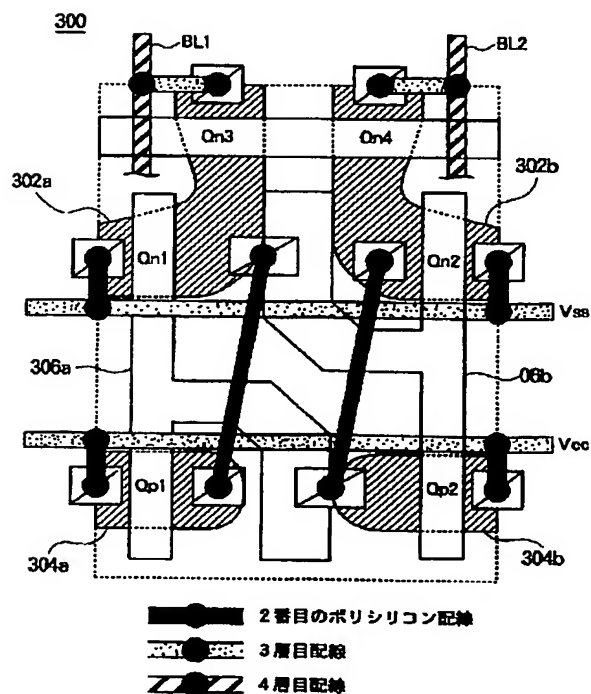
【図73】



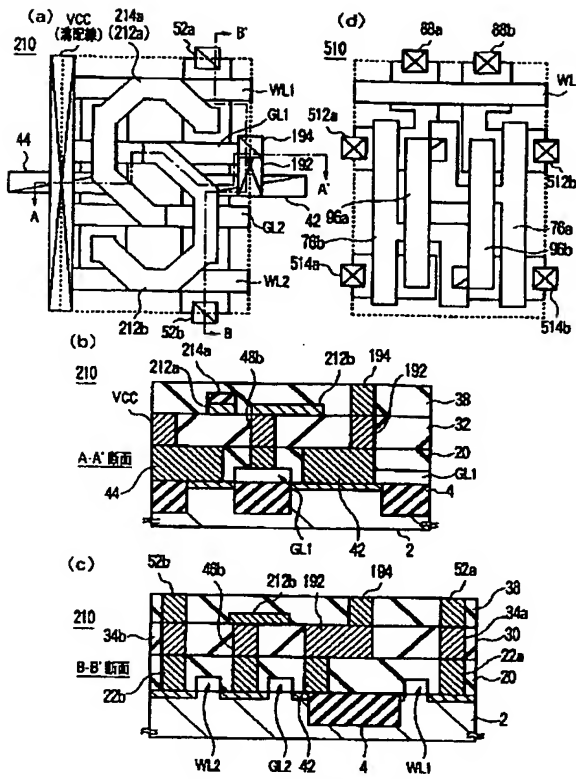
【図74】



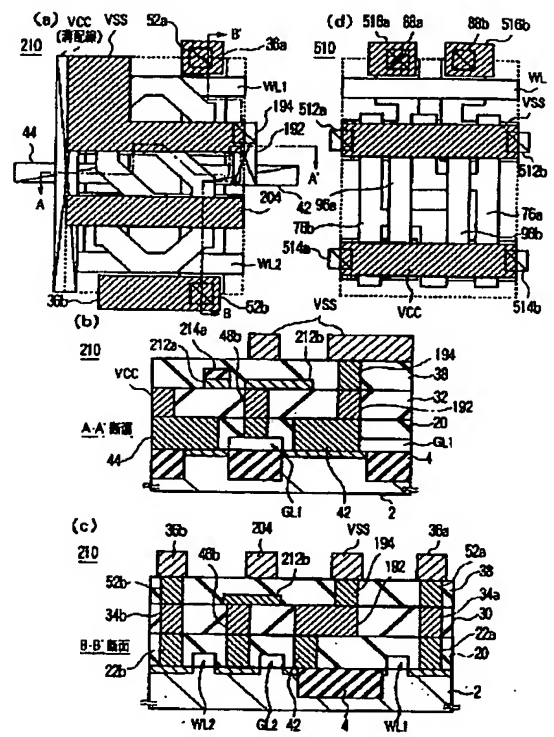
【図80】



【図75】



【図76】



【図77】

